



<http://dx.doi.org/10.35596/1729-7648-2026-24-3-5-13>

УДК 621.382.322

ПОЛУЗАКАЗНАЯ МИКРОСХЕМА ЗАРЯДОЧУВСТВИТЕЛЬНОГО УСИЛИТЕЛЯ-ФОРМИРОВАТЕЛЯ С ВЫХОДОМ НА ОПТИЧЕСКУЮ ЛИНИЮ СВЯЗИ

О. В. ДВОРНИКОВ¹, В. А. ЧЕХОВСКИЙ², А. В. КУНЦ², Я. Д. ГАЛКИН², И. И. ЧИЧИН²

¹ОАО «Минский научно-исследовательский приборостроительный институт»
(Минск, Республика Беларусь)

²Институт ядерных проблем Белорусского государственного университета
(Минск, Республика Беларусь)

Аннотация. В статье рассмотрены конструктивные и схемотехнические особенности устройства считывания сигналов время-проекционной камеры многоцелевого детектора для установки ионного коллайдера на базе нуклотрона. Приведены электрические принципиальные схемы, результаты схемотехнического моделирования и упрощенный чертеж топологии для базового матричного кристалла МН2ХА031. Разработанное устройство считывания сигналов позволяет в широком диапазоне варьировать основные параметры. Так, изменением номинала одного внешнего конденсатора от 5 до 100 пФ обеспечивается соответственно изменение длительности выходного импульса на половине его высоты в диапазоне от 150 до 370 нс и эквивалентного шумового заряда от 2130 до 1570 электронов.

Ключевые слова: ядерная электроника, зарядочувствительный усилитель-формирователь, базовый матричный кристалл, полевой транзистор, считывающая электроника.

Конфликт интересов. Авторы заявляют об отсутствии конфликта интересов.

Для цитирования. Полуказная микросхема зарядочувствительного усилителя-формирователя с выходом на оптическую линию связи / О. В. Дворников [и др.] // Доклады БГУИР. 2026. Т. 24, № 3. С. 5–13. <http://dx.doi.org/10.35596/1729-7648-2026-24-3-5-13>.

SEMI-CUSTOM MICROCIRCUIT OF CHARGE-SENSITIVE AMPLIFIER-SHAPER WITH OUTPUT ON OPTICAL COMMUNICATION LINE

OLEG DVORNIKOV¹, VLADIMIR TCHEKHOVSKI², ALIAKSEI KUNTS²,
YAROSLAV GALKIN², IVAN CHICHIN²

¹JSC “Minsk Research Instrument-Making Institute” (Minsk, Republic of Belarus)

²Research Institute for Nuclear Problems of Belarusian State University (Minsk, Republic of Belarus)

Abstract. The article discusses the design and circuitry features of the signal reading device of the time-projection chamber of the multi-purpose detector for the nuclotron based ion collider facility. Electrical schematic diagrams, circuit simulation results, and a simplified layout for the МН2ХА031 master slice array are presented. The developed signal readout device allows for a wide range of key parameter variations. For example, varying the value of one external capacitor from 5 to 100 pF provides a corresponding change in the output pulse width at half maximum from 150 to 370 ns and an equivalent noise charge from 2130 to 1570 electrons.

Keywords: nuclear electronics, charge-sensitive amplifier-shaper, master slice array, field-effect transistor, read-out electronics.

Conflict of interests. The authors declare that there is no conflict of interests

For citation. Dvornikov O., Tchekhovski V., Kunts A., Galkin Y., Chichin I. (2026) Semi-Custom Microcircuit of Charge-Sensitive Amplifier-Shaper with Output on Optical Communication Line. *Doklady BGUIR*. 24 (3), 5–13. <http://dx.doi.org/10.35596/1729-7648-2026-24-3-5-13> (in Russian).

Введение

Зарядочувствительные усилители (ЗЧУ) являются основным блоком ядерной электроники, преобразующим короткий токовый импульс детекторов частиц в «ступеньку» напряжения, достаточную для последующей обработки поступившего сигнала. Для улучшения отношения сигнал/шум и увеличения временного разрешения регистрирующей поступление частиц системы с выходом ЗЧУ соединяют полосовой фильтр, формирующий из «ступеньки» напряжения импульс, амплитуда которого пропорциональна величине заряда Q_{INP} на входе ЗЧУ и достигается в так называемое время пика T_p (peaking time). Такой полосовой фильтр в ядерной электронике называют формирователем (shaper), а при наличии дополнительного усиления сигнала – усилителем-формирователем (УФ). Методы схемотехнической оптимизации считывающей электроники, содержащей ЗЧУ и УФ, известны и включают [1–5]:

- выбор типа (MOS, JFET, VT) головного транзистора, непосредственно соединенного с детектором, в зависимости от емкости детектора C_D , требуемого времени T_p и уровня шумов, описываемого эквивалентным шумовым зарядом (equivalent noise charge, ENC);
- выбор размеров и рабочего тока (коллекторного I_C или стока I_D) головного транзистора;
- минимизацию вклада, вносимого в ENC всеми элементами ЗЧУ (за исключением головного транзистора) и УФ.

Современные разработки ЗЧУ и УФ, базирующиеся на использовании наиболее распространенных CMOS-технологических маршрутов с малыми проектными нормами (не более 180 нм [6–10]), прежде всего, направлены на уменьшение потребляемой мощности и площади кристалла, занимаемого считывающей электроникой. Такие считывающие системы разрабатываются как полностью заказные интегральные микросхемы, требуют больших временных и материальных затрат на проектирование и чаще всего предназначены для обработки сигналов конкретного детектора при заданных параметрах C_D , T_p и ENC.

На предварительных этапах создания экспериментальных установок, задача которых – изготовление макетов детекторов и уточнение методик обработки сигналов, апробацию новых схемотехнических решений считывающей электроники целесообразно проводить на базовых матричных кристаллах (БМК), предусматривая возможность регулировки режимов работы головных транзисторов и параметров ЗЧУ и УФ с помощью внешних элементов.

Цель статьи – рассмотрение результатов научных трудов по разработке на БМК МН2ХА031 полупроводникового кристалла, содержащего ЗЧУ, УФ и драйвер светодиода, для оптико-электронных устройств считывания сигналов время-проекционной камеры (time projection chamber, TPC) в установке MPD (Multi-Purpose Detector)¹ коллайдера NICA (Nuclotron based Ion Collider fAcility)².

Разработка электрической схемы

Проектирование осуществлялось для элементов БМК МН2ХА031, SPICE-модели (SPICE, simulation program with integrated circuit emphasis – симулятор электронных схем) которых учитывают воздействие флюенса нейтронов F_N на вольт-амперные характеристики биполярных транзисторов и полевых транзисторов JFET с каналом p -типа (p -JFET) [11] с учетом следующих требований, предъявляемых к устройству считывания сигналов TPC:

- количество каналов – 1;
- состав – ЗЧУ, УФ, драйвер светодиода;
- конструктивное исполнение – бескорпусное, площадь кристалла менее 16 мм²;
- напряжение источников питания – ($\pm 3,5$) В;

¹ Технический проектный отчет MPD [Электронный ресурс]. Режим доступа: http://nica.jinr.ru/files/mpd_tdr.htm.

² Установка ионных коллайдеров на базе Нуклотрона [Электронный ресурс]. Режим доступа: <http://nica.jinr.ru/>.

- время «пика» выходного сигнала УФ – 100–500 нс;
- ENC при $C_D < 5$ пФ и $T_p = 100$ нс – менее 4000 электронов;
- сохранение работоспособности при воздействии флюенса нейтронов – менее 10^{11} н/см².

Разработанная схема устройства считывания сигналов, изображенная на рис. 1, состоит из расположенных на полупроводниковом кристалле входного (input block) и выходного (output block) блоков и внешних элементов, показанных вне пунктирных линий. Следует отметить, что в соответствии с правилами применяемой программы схемотехнического моделирования LTspice все узлы с одинаковым наименованием (Vcc, Vee, Vs) и шины «заземления» соединены между собой.

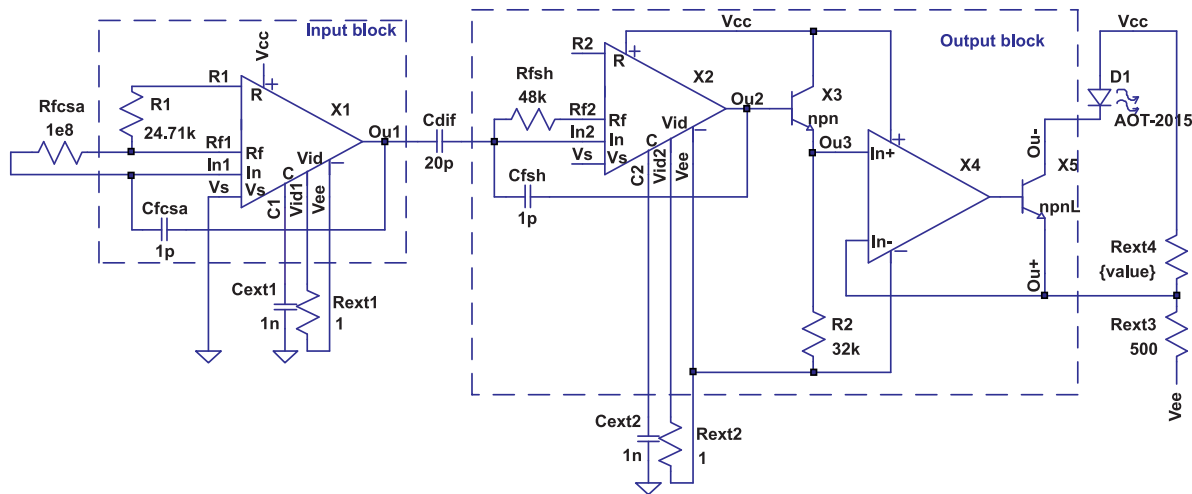


Рис. 1. Электрическая схема устройства считывания сигналов
Fig. 1. Electrical circuit of the readout system

Как ЗЧУ (X1), так и УФ (X2) (рис. 1) выполнены на основе инвертирующего усилителя напряжения с головным двухзатворным *p*-JFET XJ1 (рис. 2) с соединенными затворами. При необходимости со входом In (рис. 2) может быть соединен только верхний затвор Tg (top gate), обеспечивающий высокую крутизну g_m и малую емкость затвора-стока C_{GD} [12]. В этом случае нижний затвор Bg (bottom gate) рекомендуется соединить с истоком. Усилитель X4 на рис. 1 представляет собой простейший дифференциальный каскад с входными *n-p-n*-транзисторами и нагрузкой в виде токового зеркала на *p-n-p*. Для одноканального устройства допустимо применение внешних элементов, поэтому выбраны следующие конструктивные исполнения элементов на рис. 1: $C_{fcsa} = C_{fsh} = 1$ пФ – интегральные конденсаторы для обеспечения максимального коэффициента преобразования входного заряда в выходное напряжение K_{QV} и исключения влияния паразитных емкостей, возникающих при применении дискретных конденсаторов, на форму выходного импульса; $R_{fcsa} = 100$ МОм – внешний резистор для минимизации ENC; C_{dif} , C_{ext} – внешние дифференцирующий и фильтрующие конденсаторы.

Работа и параметрическая оптимизация инвертирующего усилителя подробно рассмотрены в [4], а режимы работы его транзисторов выбраны из следующих соображений:

- в качестве токозадающего элемента применялся *p*-JFET минимального размера XJ2, работающий в термостабильной точке при $I_D \approx 37$ мкА, в качестве головного элемента – один двухзатворный *p*-JFET с соединенными затворами при $I_D \approx 568$ мкА, что очень близко к его термостабильной точке $I_D \approx 624$ мкА. Точное задание термостабильного тока головного транзистора путем параллельного подключения к R7 дополнительных резисторов нецелесообразно в связи с невозможностью обеспечения требуемого значения тока стока при существующем технологическом разбросе параметров интегральных элементов;

- сопротивления всех эмиттерных резисторов обеспечивают падение напряжения на них около 200 мВ для увеличения допустимого выходного напряжения при ограниченном уровне напряжения питания;

- в схеме предусмотрена возможность варьирования режима работы. Так, изменение напряжения на выводе Vid или сопротивления внешнего резистора, соединяющего этот вывод с источ-

Таблица 1. Результаты моделирования параметров инвертирующего усилителя напряжения
Table 1. Results of circuit simulation the parameters of the inverting voltage amplifier

Наименование параметра	Значение параметра			
Напряжение на выводе Vid, В (или сопротивление резистора Rext1, кОм, при Vee = -3,5 В)	-2,1 (21,5)	-2,5 (4,6)	-3,5 (0)	-4,5
Ток стока головного p-JFET, мкА	29,66	183,5	567,9	1145
Постоянное выходное напряжение, мВ	804,6	452,1	9,291	-440,2
Коэффициент усиления напряжения	688,4	1687	2894	3974

Таблица 2. Результаты моделирования амплитуды импульса на выходе усилителя-формирователя (Ou2 на рис. 1) при $C_D = 5$ пФ

Table 2. Simulation results of the pulse amplitude at the output of the amplifier-shaper (Ou2 in Fig. 1) at $C_D = 5$ pF

Параметр	Значение параметра				
	5	10	30	50	100
Cdif, пФ	5	10	30	50	100
VOu2, мВ	329,6	628,26	1528,3	2105,6	2894,3
T_{sh} , нс	74,5	76,5	100,5	125,9	183,8
K_{QV} , мВ/фКл	3,306	6,28	15,28	21,06	28,94
ENC, электронов	2128,46	1942,28	1709,25	1629,29	1566,72

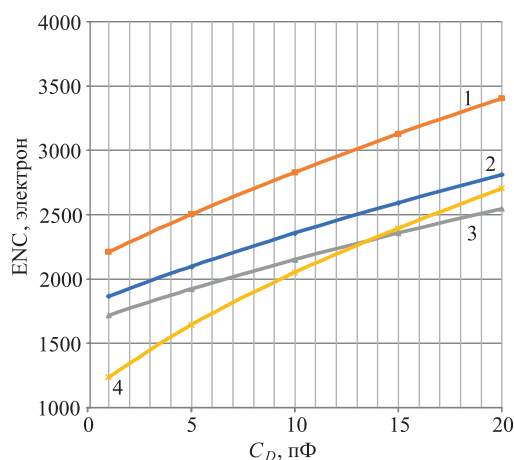


Рис. 3. Зависимость ENC зарядочувствительного усилителя от емкости детектора при I_D :
1 – 184 мкА; 2 – 568 мкА; 3 – 1,145 мА;
4 – 568 мкА (подключен только верхний затвор)

Fig. 3. Dependence of the ENC of the charge-sensitive amplifier on the detector capacitance at I_D :

1 – 184 μ A; 2 – 568 μ A; 3 – 1.145 mA;
4 – 568 μ A (only the top gate is connected)

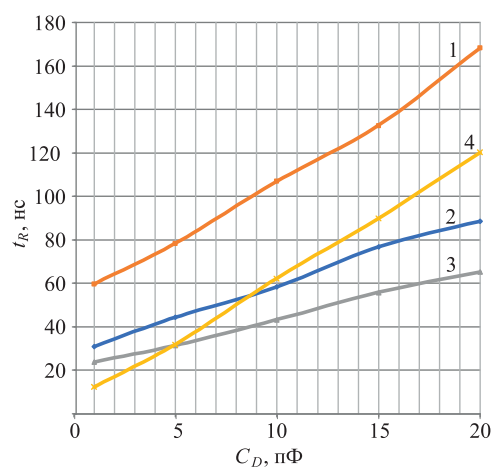


Рис. 4. Зависимость длительности переднего фронта выходного импульса зарядочувствительного усилителя от емкости детектора при I_D :
1 – 184 мкА;
2 – 568 мкА; 3 – 1,145 мА;
4 – 568 мкА (подключен только верхний затвор)

Fig. 4. Dependence of the duration of the leading edge of the charge-sensitive amplifier output pulse on the detector capacitance at I_D :

1 – 184 μ A; 2 – 568 μ A; 3 – 1.145 mA;
4 – 568 μ A (only the top gate is connected)

Анализ результатов моделирования позволяет сделать ряд выводов:

– изменением сопротивления резистора Rext1 в диапазоне от 21,5 кОм до 0 при напряжении $V_{ee} = -3,5$ В можно изменять ток стока головного p-JFET соответственно от 29,66 до 567,90 мкА, такой же результат можно достичь при $R_{ext1} = 0$ и напряжении на выводе Vid от (-2,1) до (-3,5) В;

– для увеличения тока стока головного p-JFET ориентировочно более 600 мкА рекомендуется соединить вывод Vid с источником напряжения V_{ee} менее (-3,5) В. При этом надо учитывать, что ток стока приблизительно более 2 мА обеспечивается при прямом смещении p-n-перехода затвор-исток, при котором изменяется направление тока затвора и он может быть значительной величины (рис. 7);

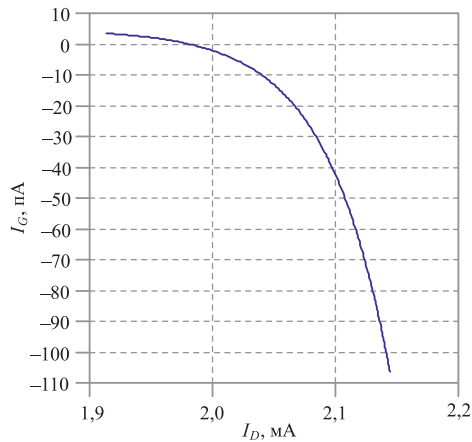


Рис. 5. Зависимость тока затвора головного p -JFET от тока стока
Fig. 5. Gate current of a head p -JFET as a function of drain current

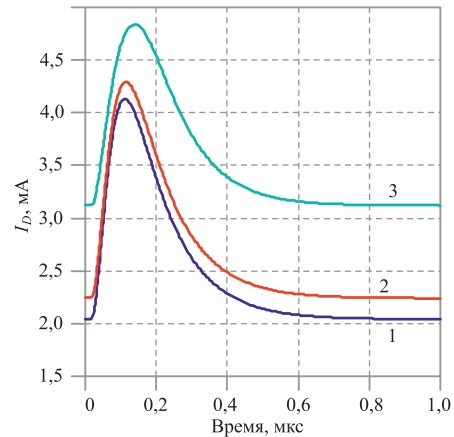


Рис. 6. Импульс тока через светодиод при $C_D = 5$ пФ, $Q_{\text{INP}} = 100$ фКл и флюенсе нейтронов F_N , н/см²:
1 – 1; 2 – 10^{13} ; 3 – $7 \cdot 10^{13}$
Fig. 6. Current pulse through LED at $C_D = 5$ пФ, $Q_{\text{INP}} = 100$ фКл and neutron fluence F_N , н/см²:
1 – 1; 2 – 10^{13} ; 3 – $7 \cdot 10^{13}$

- наименьшим уровнем ENC (рис. 3, кривая 4) и длительности переднего фронта ЗЧУ t_R (рис. 4, кривая 4) при $C_D < 5$ пФ обладает ЗЧУ, в котором со входом соединен только один верхний затвор;
- ток потребления устройства считывания определяется в основном драйвером светодиода, причем максимальную величину импульса тока светодиода определяет сопротивление резистора Rext3, а ток потребления полупроводникового кристалла при отсутствии сигнала – Rext4;
- разработанное устройство считывания, без учета радиационного изменения характеристик светодиода и внешних элементов, обеспечивает незначительное изменение параметров при воздействии флюенса нейтронов до 10^{13} н/см² (рис. 6);
- разработанная электрическая схема устройства считывания (рис. 1) довольно универсальна, позволяет выбором внешних элементов изменять ток потребления, T_{sh} , ENC, а при отсутствии необходимости управления светодиодом – значительно уменьшить ток потребления, оставив «оборванными» выводы Ou+ и Ou– и используя в качестве выхода узел Ou2 с применением Rext2 = 10 кОм.

На двух макроячейках БМК МН2ХА031 была разработана топология межсоединений элементов входного и выходного блоков устройства считывания сигналов, показанная на рис. 7 с подписями выводов, соответствующих схеме на рис. 1.

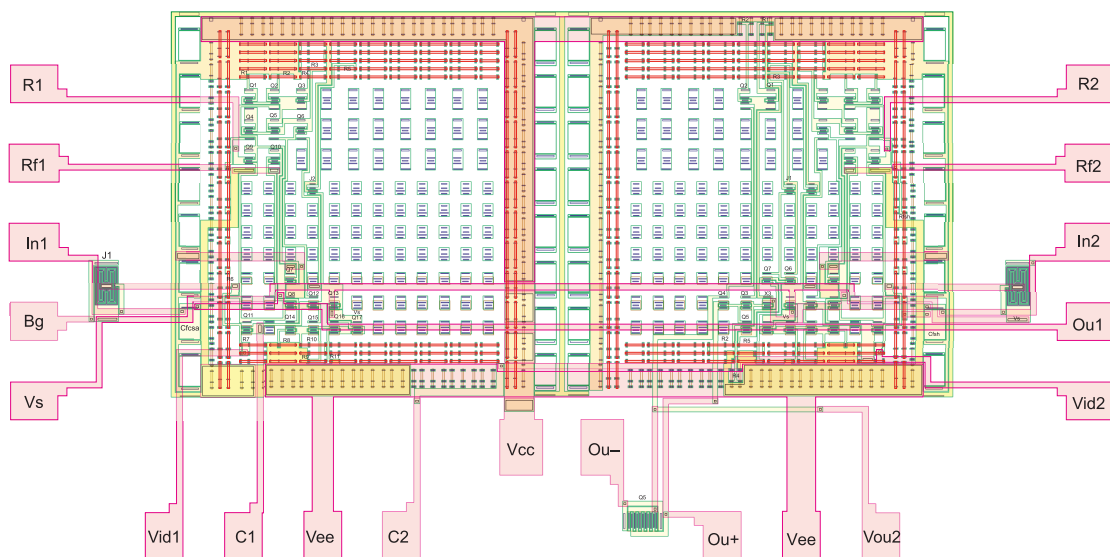


Рис. 7. Топология входного и выходного блоков устройства считывания сигналов на двух макроячейках базового матричного кристалла
Fig. 7. Layout of the input and output blocks of the readout electronic on two master slice array macrocells

Следует отметить, что БМК МН2ХА031 содержит восемь макроячеек и позволяет реализовать двухканальное исполнение устройства считывания сигналов при площади кристалла около 12 мм².

Заключение

1. Для обработки сигналов время-проекционной камеры в установке MPD коллайдера NICA разработано устройство считывания, содержащее расположенные на базовом матричном кристалле МН2ХА031 зарядочувствительный усилитель, усилитель-формирователь, драйвер светодиода, внешние RC-элементы и светодиод.

2. В предлагаемом устройстве реализован ряд схемотехнических решений, обеспечивающих возможность регулировки рабочего режима всех составляющих блоков и, следовательно, сочетания основных параметров: тока потребления, быстродействия, уровня шумов, нагрузочной способности. Для типового режима работы и емкости детектора, равной 5 пФ, изменением номинала только одного внешнего дифференцирующего конденсатора от 5 до 100 пФ обеспечивается соответственно изменение длительности выходного импульса на половине его высоты в диапазоне от 150 до 370 нс и эквивалентного шумового заряда в диапазоне от 2130 до 1570 электронов.

3. На ближайшее время запланировано изготовление и исследование экспериментальных образцов устройства считывания.

Список литературы

1. Абрамов, И. И. Проектирование аналоговых микросхем для прецизионных измерительных систем / И. И. Абрамов, О. В. Дворников. Минск: Акад. упр. при Президенте Респ. Беларусь, 2006.
2. Noise Analysis of Radiation Detector Charge Sensitive Amplifier Architectures [Electronic resource] / T. Noulis [et al.]. Mode of access: https://www.academia.edu/20077515/Noise_analysis_of_radiation_detector_charge_sensitive_amplifier_architectures. Date of access: 02.05.2026.
3. Low Noise BiCMOS Front-end Amplifier in the DMILL Technology [Electronic resource] / C. Hu-Guo [et al.]. Mode of access: https://www.academia.edu/27904026/Low_noise_BiCMOS_front_end_amplifier_in_the_DMILL_technology. Date of access: 02.05.2026.
4. Reducing Noises of High-Speed Bi-JFET Charge-Sensitive Amplifiers During Schematic Design / O. V. Dvornikov [et al.] // IOP Conf. Series: Materials Science and Engineering. 2020. Vol. 862. DOI: 10.1088/1757-899X/862/2/022068.
5. Comparison of Fast Response and Noise of Charge-Sensitive Amplifiers with Various Types of Input Fets / O. V. Dvornikov [et al.] // 2020 International Symposium on Industrial Electronics and Applications (INDEL), Banja Luka, Bosnia and Herzegovina, 2020. P. 1–6. DOI: 10.1109/INDEL50386.2020.9266185.
6. A Novel Charge Sensitive Pre-Amplifier Structure for Biological Temperature Readout Applications / H. Wang [et al.] // 2017 IEEE International Symposium on Circuits and Systems (ISCAS), Baltimore, MD, USA, 2017. P. 1–4. DOI: 10.1109/ISCAS.2017.8050502.
7. Kasinski, K. A Flexible, Low-Noise Charge-Sensitive Amplifier for Particle Tracking Application / K. Kasinski, R. Kleczek // 2016 MIXDES – 23rd International Conference Mixed Design of Integrated Circuits and Systems, Lodz, Poland. 2016. P. 124–129. DOI: 10.1109/MIXDES.2016.7529715.
8. Beikahmadi, M. A Low-Power Continuous-Reset CMOS Charge-Sensitive Amplifier for the Readout of Solid-State Radiation Detectors / M. Beikahmadi, K. Iniewski, S. Mirabbasi // 2016 14th IEEE International New Circuits and Systems Conference (NEWCAS), Vancouver, BC, Canada, 2016. P. 1–4. DOI: 10.1109/NEWCAS.2016.7604833.
9. Low-Noise Fast Charge Sensitive Amplifier Methodology for Low Noise Charge Sensitive Amplifier with Input Transistor Working in Moderate Inversion / N. Aimaier [et al.] // 2014 IEEE International Conference on Semiconductor Electronics (ICSE2014), Kuala Lumpur, Malaysia, 2014. P. 189–192. DOI: 10.1109/SMELEC.2014.6920828.
10. Design of a Charge Sensitive Amplifier for Silicon Particle Detector in BCD 180 nm Process / I. Yadav [et al.] // 2019 32nd International Conference on VLSI Design and 2019 18th International Conference on Embedded Systems (VLSID), Delhi, India, 2019. P. 541–542. DOI: 10.1109/VLSID.2019.00126.
11. Проектирование аналоговых микросхем для экстремальных условий эксплуатации на основе базового матричного кристалла МН2ХА031 / О. В. Дворников [и др.] // Проблемы разработки перспективных микро- и нанoeлектронных систем (МЭС). 2021. № 2. С. 37–46. DOI: 10.31114/2078-7707-2021-2-37-46.

12. Галкин, Я. Д. Улучшенная модель двухзатворного JFET для аналоговых интегральных микросхем / Я. Д. Галкин, О. В. Дворников, В. А. Чеховский // Доклады БГУИР. 2022. Т. 20, № 3. С. 20–25. <https://doi.org/10.35596/1729-7648-2022-20-3-20-25>.

Поступила 05.05.2026

Принята в печать 22.05.2026

References

1. Abramov I. I., Dvornikov O. V. (2006) *Analog Integrated Circuit Design for Precision Measurement Systems*. Minsk, Academy of Public Administration under the President of the Republic of Belarus (in Russian).
2. Noulis T., Fikos G., Siskos S., Sarrabayrouse G. (2026) *Noise Analysis of Radiation Detector Charge Sensitive Amplifier Architectures*. Available: https://www.academia.edu/20077515/Noise_analysis_of_radiation_detector_charge_sensitive_amplifier_architectures (Accessed 2 May 2026).
3. Hu-Guo C., Schmitt P., Le T. D., Hoffmann C., Zinzinus Y., Hu Y., et al. (2026) *Low Noise BiCMOS Front-end Amplifier in the DMILL Technology*. Available: https://www.academia.edu/27904026/Low_noise_BiCMOS_front_end_amplifier_in_the_DMILL_technology (Accessed 2 May 2026).
4. Dvornikov O. V., Tchekhovski V. A., Prokopenko N. N., Pakhomov I. V. (2020) Reducing Noises of High-Speed Bi-JFET Charge-Sensitive Amplifiers During Schematic Design. *IOP Conf. Series: Materials Science and Engineering*. 862. DOI: 10.1088/1757-899X/862/2/022068.
5. Dvornikov O. V., Tchekhovski V. A., Prokopenko N. N., Titov A. E. (2020) Comparison of Fast Response and Noise of Charge-Sensitive Amplifiers with Various Types of Input Fets. *2020 International Symposium on Industrial Electronics and Applications (INDEL), Banja Luka, Bosnia and Herzegovina*. 1–6. DOI: 10.1109/INDEL50386.2020.9266185.
6. Wang H., Yuan S., Islam S. K., Britton C. L. (2017) A Novel Charge Sensitive Pre-Amplifier Structure for Biological Temperature Readout Applications. *2017 IEEE International Symposium on Circuits and Systems (ISCAS), Baltimore, MD, USA*. 1–4. DOI: 10.1109/ISCAS.2017.8050502.
7. Kasinski K., Kleczek R. (2016) A Flexible, Low-Noise Charge-Sensitive Amplifier for Particle Tracking Application. *2016 MIXDES – 23rd International Conference Mixed Design of Integrated Circuits and Systems, Lodz, Poland*. 124–129. DOI: 10.1109/MIXDES.2016.7529715.
8. Beikahmadi M., Iniewski K., Mirabbasi S. (2016) A Low-Power Continuous-Reset CMOS Charge-Sensitive Amplifier for the Readout of Solid-State Radiation Detectors. *2016 14th IEEE International New Circuits and Systems Conference (NEWCAS), Vancouver, BC, Canada*. 1–4. DOI: 10.1109/NEWCAS.2016.7604833.
9. Aimaier N., Sidek R. M., Hamidon M. N., Sulaiman N. (2014) Low-Noise Fast Charge Sensitive Amplifier Methodology for Low Noise Charge Sensitive Amplifier with Input Transistor Working in Moderate Inversion. *2014 IEEE International Conference on Semiconductor Electronics (ICSE2014), Kuala Lumpur, Malaysia*. 189–192. DOI: 10.1109/SMELEC.2014.6920828.
10. Yadav I., Joshi A., Ruscino E., Liberali V., Andrezza A., Shrimali H. (2019) Design of a Charge Sensitive Amplifier for Silicon Particle Detector in BCD 180 nm Process. *2019 32nd International Conference on VLSI Design and 2019 18th International Conference on Embedded Systems (VLSID), Delhi, India*. 541–542. DOI: 10.1109/VLSID.2019.00126.
11. Dvornikov O. V., Tchekhovski V. A., Prokopenko N. N., Galkin Y. D., Kunts A. V., Chumakov V. E. (2021) Design of Analog ICs for Extreme Operating Conditions Based on the MN2XA031 Base Matrix Crystal. *Problems of Developing Advanced Micro- and Nanoelectronic Systems (MES)*. (2), 37–46. DOI: 10.31114/2078-7707-2021-2-37-46 (in Russian).
12. Galkin Y. D., Dvornikov O. V., Tchekhovski V. A. (2022) Double Gate JFET Improved Model for Analog Integrated Circuits. *Doklady BGUIR*. 20 (3), 20–25. <https://doi.org/10.35596/1729-7648-2022-20-3-20-25> (in Russian).

Received: 5 May 2026

Accepted: 22 May 2026

Вклад авторов / Authors' contribution

Авторы внесли равный вклад в написание статьи / The authors contributed equally to the writing of the article.

Сведения об авторах

Дворников О. В., д-р техн. наук, доц., гл. науч. сотр., ОАО «Минский научно-исследовательский приборостроительный институт»

Чеховский В. А., зав. лаб., Институт ядерных проблем Белорусского государственного университета (НИИ ЯП БГУ)

Кунц А. В., науч. сотр., НИИ ЯП БГУ

Галкин Я. Д., науч. сотр., НИИ ЯП БГУ

Чичин И. И., инж.-электроник, НИИ ЯП БГУ

Адрес для корреспонденции

220113, Республика Беларусь,
Минск, ул. Я. Коласа, 73
ОАО «Минский научно-исследовательский приборостроительный институт»
Тел.: +375 29 616-45-87
E-mail: oleg.dvornikov@mniipi.by
Дворников Олег Владимирович

Information about the authors

Dvornikov O., Dr. Sci. (Tech.), Associate Professor, Principal Researcher, JSC “Minsk Research Instrument-Making Institute”

Tchekhovski V., Head of the Laboratory, Research Institute for Nuclear Problems of Belarusian State University (INP BSU)

Kunts A., Researcher, INP BSU

Galkin Y., Researcher, INP BSU

Chichin I., Electronics Engineer, INP BSU

Address for correspondence

220113, Republic of Belarus,
Minsk, Ya. Kolasa St., 73
JSC “Minsk Research Instrument-Making Institute”
Tel.: +375 29 616-45-87
E-mail: oleg.dvornikov@mniipi.by
Dvornikov Oleg