



<http://dx.doi.org/10.35596/1729-7648-2024-22-3-21-27>

Оригинальная статья
Original paper

УДК 621.383:539.1.43

ВЛИЯНИЕ РЕКРИСТАЛЛИЗАЦИИ МЕХАНИЧЕСКИ НАРУШЕННОГО СЛОЯ С РАБОЧЕЙ СТОРОНЫ КРЕМНИЕВОЙ ПЛАСТИНЫ НА ЭЛЕКТРИЧЕСКИЕ ПАРАМЕТРЫ КМОП ИНТЕГРАЛЬНЫХ МИКРОСХЕМ

В. А. ПИЛИПЕНКО¹, В. А. СОЛОДУХА², А. А. СЕРГЕЙЧИК¹, Д. В. ШЕСТОВСКИЙ¹

¹ОАО «ИНТЕГРАЛ» – управляющая компания холдинга «ИНТЕГРАЛ» (г. Минск, Республика Беларусь)

²ГНПО «Оптика, оптоэлектроника и лазерная техника» Национальной академии наук Беларуси
(г. Минск, Республика Беларусь)

Поступила в редакцию 24.01.2024

© Белорусский государственный университет информатики и радиоэлектроники, 2024
Belarusian State University of Informatics and Radioelectronics, 2024

Аннотация. Установлено влияние рекристаллизации механически нарушенного слоя на рабочей стороне пластины кремния с применением быстрой термической обработки (1000 °С, 20 с) на электрические параметры комплементарных металл-окисел-полупроводниковых микросхем. В качестве анализируемых характеристик *n*- и *p*-канальных транзисторов были выбраны: ток стока от напряжения на затворе при диодном включении; выходные характеристики при различных напряжениях на затворе; ток стока от напряжения на стоке без подачи потенциала на затвор; процент выхода годных изделий. Сравнение данных параметров проводили с микросхемами, изготовленными по стандартной технологии. Анализ результатов показал, что быстрая термическая обработка исходных кремниевых пластин позволяет значительно улучшить вышеуказанные характеристики *n*-канальных металл-окисел-полупроводниковых (*n*-МОП) и *p*-канальных металл-окисел-полупроводниковых (*p*-МОП) транзисторов за счет снижения фиксированного заряда в подзатворном диэлектрике, полученном пирогенным окислением кремния. Это дает возможность повысить качество выпускаемых комплементарных металл-окисел-полупроводниковых микросхем и увеличить процент выхода годных изделий с 74,38 до 77,53 %.

Ключевые слова: быстрая термическая обработка, подзатворный диэлектрик, фиксированный заряд в диэлектрике, вольт-амперные характеристики, *n*- и *p*-канальные металл-окисел-полупроводниковые транзисторы.

Конфликт интересов. Авторы заявляют об отсутствии конфликта интересов.

Для цитирования. Влияние рекристаллизации механически нарушенного слоя с рабочей стороны кремниевой пластины на электрические параметры КМОП интегральных микросхем / В. А. Пилипенко [и др.] // Доклады БГУИР. 2024. Т. 22, № 3. С. 21–27. <http://dx.doi.org/10.35596/1729-7648-2024-22-3-21-27>.

IMPACT PRODUCED BY RECRYSTALLIZATION OF MECHANICALLY DESTROYED LAYER ON PLANAR SIDE OF SILICON WAFER UPON ELECTRICAL PARAMETERS OF CMOS MICROCIRCUITS

ULADZIMIR A. PILIPENKA¹, VITALY A. SALADUKHA², HANNA A. SIARHEICHYK¹,
DZMITRY U. SHESTOUSKI¹

¹JSC “INTEGRAL” – Manager Holding Company “INTEGRAL” (Minsk, Republic of Belarus)

²SSPA “Optics, Optoelectronics, and Laser Technology” of the National Academy of Sciences
(Minsk, Republic of Belarus)

Submitted 24.01.2024

Abstract. The influence of recrystallization of a mechanically damaged layer on the working side of a silicon wafer using rapid heat treatment (1000 °C, 20 s) on the electrical parameters of complementary metal-oxide-semiconductor microcircuits has been established. The analyzed characteristics of *n*- and *p*-channel transistors were selected: drain current from the gate voltage when diode-connected; output characteristics at various gate voltages; drain current from the drain voltage without applying potential to the gate; percentage of yield of suitable products. These parameters were compared with microcircuits manufactured using standard technology. Analysis of the results showed that rapid thermal treatment of the original silicon wafers can significantly improve the above characteristics of *n*-channel metal-oxide-semiconductor (*n*-MOS) and *p*-channel metal-oxide-semiconductor (*p*-MOS) transistors by reducing the fixed charge in gate dielectric obtained by pyrogenic oxidation of silicon. This makes it possible to improve the quality of manufactured complementary metal-oxide-semiconductor microcircuits and increase the percentage of yield of suitable products from 74.38 to 77.53 %.

Keywords: rapid thermal treatment, gate dielectric, fixed charge in dielectric, voltage current characteristics, *n*- and *p*-channel metal-oxide-semiconductor transistors.

Conflict of interests. The authors declare no conflict of interests.

For citation. Pilipenka U. A., Saladukha V. A., Siarheichyk H. A., Shestouski D. U. (2024) Impact Produced by Recrystallization of Mechanically Destroyed Layer on Planar Side of Silicon Wafer Upon Electrical Parameters of CMOS Microcircuits. *Doklady BGUIR*. 22 (3), 21–27. <http://dx.doi.org/10.35596/1729-7648-2024-22-3-21-27> (in Russian).

Введение

Важным условием создания надежных изделий микроэлектроники с воспроизводимыми электрофизическими характеристиками является степень совершенства кристаллической решетки, определяющая электрические характеристики формируемых на ее поверхности микроэлектронных приборов. Поэтому обязательное условие бездефектных полупроводниковых изделий, в основном выполненных по униполярной технологии, – отсутствие на поверхности пластин нарушенного слоя, образующегося при финишной полировке рабочей стороны исходных кремниевых пластин [1–3]. Наличие такого слоя приводит к формированию в подзатворном диэлектрике соответствующего фиксированного заряда, уменьшающего пробивные напряжения и увеличивающего токи утечки подзатворного диэлектрика [4–7]. При этом с уменьшением топологических норм проектирования, приводящих к значительному уменьшению его толщины до единиц нанометров, данный фактор становится определяющим в получении работоспособных изделий для субмикронной электроники. Один из наиболее перспективных методов устранения нарушенного слоя – его твердофазная рекристаллизация с применением быстрой термической обработки (БТО), приводящей к нагреву пластины до 1000–1100 °C при длительности светового импульса 20 с [8–10]. Это обеспечивает уменьшение фиксированного заряда в подзатворном диэлектрике, сформированном за счет окисления кремния с нарушенной кристаллической решеткой, возникающей при полировке рабочей поверхности пластины. Однако в перечисленных публикациях рассматриваются вопросы, касающиеся только процесса твердофазной рекристаллизации механически нарушенного слоя на рабочей поверхности пластины и его роли в формировании фиксированного заряда в подзатворном диэлектрике, полученном путем пирогенного термического окисления кремния. При этом совершенно не затрагивались вопросы влияния такой обработки исходных кремниевых пластин на *n*- и *p*-канальные транзисторы комплементарных ме-

талл-окисел-полупроводниковых (КМОП) микросхем. Проведение исследований в этой области позволит установить влияние данного фиксированного заряда на изменение электрических характеристик металл-окисел-полупроводниковых (МОП) транзисторов и микросхемы в целом.

Методы проведения исследования

Для исследования влияния БТО исходных кремниевых пластин на электрические параметры интегральных микросхем (ИМС) выбрали микросхему, выполненную по КМОП-технологии, т. е. имеющую как n -, так и p -канальные транзисторы. Для установления влияния такой обработки на электрические параметры ИМС половина пластин проходила БТО, а вторая половина не подвергалась ее воздействию. Быстрая термическая обработка осуществлялась на установке УБТО ПИТ1801 в среде азота N_2 при атмосферном давлении. Облучение пластин проводилось с их рабочей стороны импульсным фотонным потоком длительностью 20 с излучением галогенных ламп в режиме теплового баланса, обеспечивающем их нагрев до 1000 °С.

Исследуемыми параметрами ИМС являлись следующие характеристики n - и p -канальных транзисторов: ток стока от напряжения на затворе при диодном включении; выходные характеристики при различных напряжениях на затворе; ток стока от напряжения на стоке без подачи потенциала на затвор. Указанные параметры определялись на комплексе прецизионных измерений вольт-амперных и вольт-фарадных характеристик KEYSIGHT B1500A Semiconductor Device Analyzer с зондовой станцией MPI TS-2000SE (США). С целью установления влияния БТО исходных кремниевых пластин на работоспособность КМОП-микросхемы в целом проводили сравнительный анализ процента выхода данных схем, изготовленных с применением такой обработки и без нее.

Результаты исследований и их обсуждение

Анализ подпороговых характеристик n - и p -канальных транзисторов показал, что для n -канальных транзисторов, изготовленных с применением БТО исходных кремниевых пластин, ток стока в области малых напряжений на затворе меньше, чем для аналогичных транзисторов, полученных на пластинах без такой обработки. В случае p -канальных транзисторов картина имеет обратный характер. Это объясняется тем, что на пластинах, не проходивших БТО, формируется подзатворный окисел, имеющий большую плотность заряда, чем окисел, формируемый на пластинах, прошедших такую обработку [5, 11]. Поскольку при термическом окислении в двуокиси кремния формируется положительный фиксированный заряд, не зависящий от приложенного потенциала [12], следует ожидать, что при одинаковом напряжении на затворе ток стока для n -канального транзистора будет выше там, где большая плотность заряда. Это означает, что на транзисторах, изготовленных с применением БТО исходных кремниевых пластин, ток стока будет меньше, чем на транзисторах, сформированных на пластинах, не проходивших БТО при одинаковых напряжениях на затворе (рис. 1, *a*). Противоположная картина наблюдается для p -канального транзистора, поскольку в этом случае на затвор подается отрицательный потенциал, а с учетом необходимости компенсации положительного заряда в подзатворном диэлектрике напряжение на затворе должно быть выше там, где больше плотность заряда. В этом случае при одинаковом напряжении на затворе у p -канальных транзисторов, изготовленных на пластинах с БТО, ток стока больше, чем у транзисторов, полученных на пластинах без обработки (рис. 1, *b*), поскольку в первом случае фиксированный заряд в подзатворном диэлектрике меньше.

Аналогичная картина наблюдается в случае исследования выходных характеристики n - и p -канальных транзисторов при различных напряжениях на затворе (рис. 2). Установлено, что разница в величине тока стока при одинаковом напряжении на стоке и затворе, выше порогового, значительно больше, чем в случае зависимости тока стока от напряжения на затворе в подпороговых характеристиках. Это обусловлено тем, что напряжение на затворе обеспечивает открытие канала, приводя к значительному возрастанию через него тока стока, а, следовательно, к росту величины разницы тока стока для транзисторов, изготовленных на подложках, проходивших и не проходивших предварительную БТО. Причина возникновения этой разницы в токе стока остается той же, как описано выше, а именно – уменьшение фиксированного заряда в подзатворном диэлектрике, сформированном пирогенным окислением кремниевых пластин после их БТО.

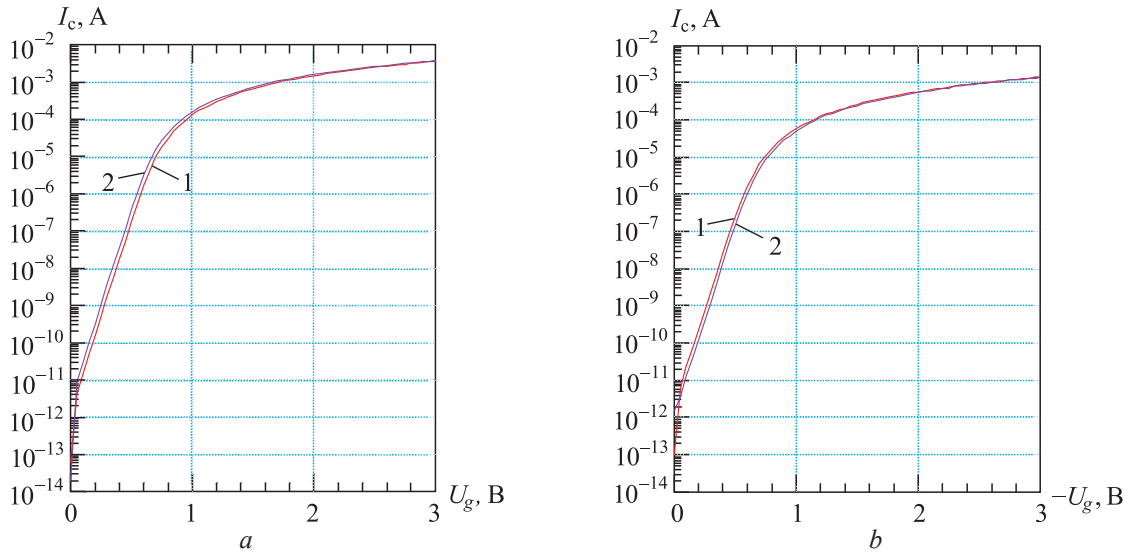


Рис. 1. Зависимость тока стока от напряжения на затворе в диодном включении для *n*-МОП (*a*) и *p*-МОП (*b*) транзисторов, изготовленных: 1 – с применением быстрой термической обработки исходных кремниевых пластин при температуре 1000 °С в течение 20 с; 2 – без нее

Fig. 1. Dependence of the drain current on the gate voltage in the diode connection for *n*-MOS (*a*) and *p*-MOS (*b*) transistors manufactured: 1 – using rapid heat treatment of the original silicon wafers at a temperature of 1000 °C for 20 s; 2 – without it

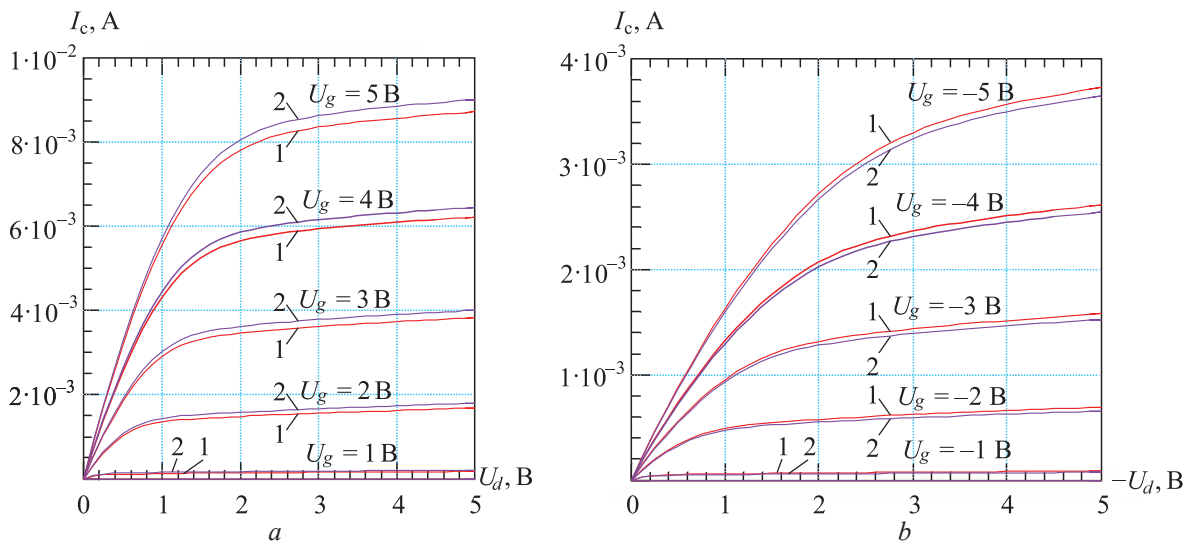


Рис. 2. Выходные характеристики при различных напряжениях на затворе для *n*-МОП (*a*) и *p*-МОП (*b*) транзисторов, изготовленных: 1 – с применением быстрой термической обработки исходных кремниевых пластин при температуре 1000 °С в течение 20 с; 2 – без нее

Fig. 2. Output characteristics at various gate voltages for *n*-MOS (*a*) and *p*-MOS (*b*) transistors manufactured: 1 – using rapid heat treatment of the original silicon wafers at a temperature of 1000 °C for 20 s; 2 – without it

Исследование зависимости тока стока *n*- и *p*-канальных транзисторов от подаваемого на сток напряжения при нулевом напряжении на затворе показало, что влияние БТО исходных кремниевых пластин имеет такой же характер, как и у рассмотренных выше характеристик этих транзисторов (рис. 3). На рис. 3 принято, что напряжение на затворе равно нулю. Зависимость тока стока от напряжения на стоке для *n*-канальных транзисторов выше на пластинах, не проходивших БТО, а, следовательно, имеющих подзатворный диэлектрик с более высокой плотностью заряда (рис. 3, *a*). Противоположная картина – для *p*-канальных транзисторов (рис. 3, *b*). Такой ход зависимостей тока стока для *n*- и *p*-канальных транзисторов от напряжения на стоке при нулевом напряжении на затворе обусловлен следующей причиной. Согласно [13], образование фиксированного положительного заряда в подзатворном диэлектрике вызывает обеднение основными носителями заряда в кремнии *p*-типа и обогащение в кремнии *n*-типа проводимости. Это приводит

к большому току стока для n -канального транзистора по сравнению с p -канальным для приборов, изготовленных по традиционной технологии (рис. 3). В то же время при уменьшении фиксированного заряда в подзатворном диэлектрике за счет применения кремниевых пластин, прошедших рекристаллизацию механически нарушенного слоя, значение тока стока для n -канальных транзисторов должно уменьшаться, а для p -канальных увеличиваться (рис. 3). Такой результат обуславливается уменьшением воздействия фиксированного заряда на основные носители заряда, приводящего к снижению обеднения основными носителями заряда в области кремния p -типа (n -канальный транзистор) и обогащения в области кремния n -типа проводимости (p -канальный транзистор) (рис. 3).

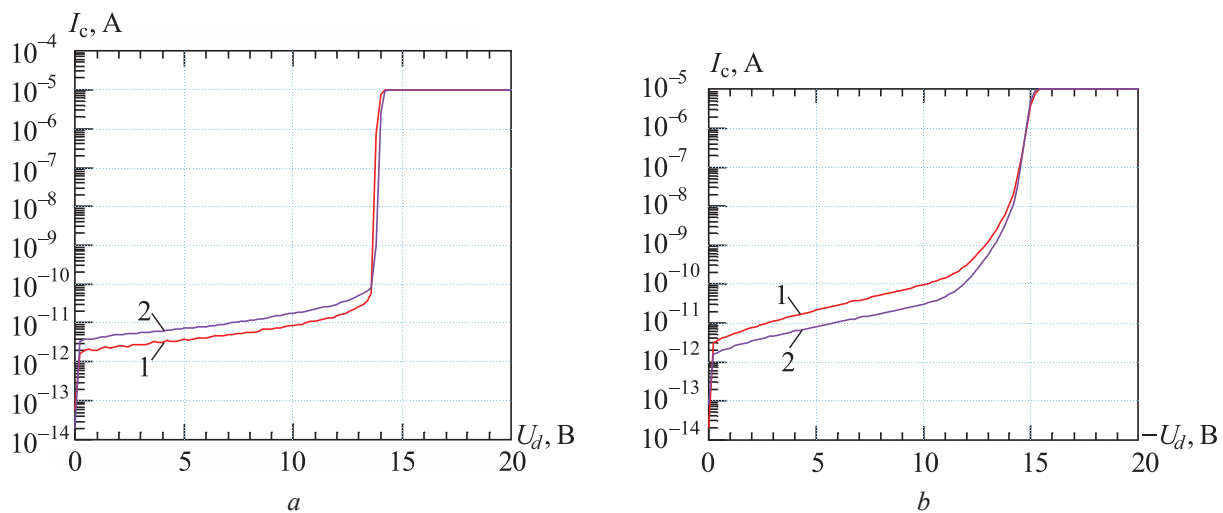


Рис. 3. Зависимость тока стока от напряжения на стоке для n -МОП (a) и p -МОП (b) транзисторов, изготовленных: 1 – с применением быстрой термической обработки исходных кремниевых пластин при температуре $1000\text{ }^{\circ}\text{C}$ в течение 20 с ; 2 – без нее

Fig. 3. Dependence of the drain current on the drain voltage for n -MOS (a) and p -MOS (b) transistors manufactured:

1 – using rapid heat treatment of the original silicon wafers at a temperature of $1000\text{ }^{\circ}\text{C}$ for 20 s ; 2 – without it

Как видно из рассмотренных данных, проведение БТО исходных кремниевых пластин позволяет значительно улучшить параметры n -МОП и p -МОП транзисторов за счет снижения фиксированного заряда в подзатворном диэлектрике, полученном пирогенным окислением кремния. Для подтверждения результатов были изготовлены ИМС по КМОП-технологии, которые позволили установить, что применение такой обработки исходных кремниевых пластин позволяет увеличить процент выхода годных изделий с $74,38$ до $77,53\text{ }\%$. С учетом столь высокого процента выхода годных на изделиях, изготовленных по традиционному маршруту $74,38\text{ }\%$, увеличение на $3,15\text{ }\%$ является существенным повышением, что отразилось на увеличении процента выхода по всем контролируемым параметрам данного изделия.

Заклучение

Использование в технологическом маршруте создания комплементарных металл-окисел-полупроводниковых микросхем процесса быстрой термической обработки исходных кремниевых пластин в стационарной атмосфере азота N_2 при длительности фотонного импульса 20 с и максимальной температуре $1000\text{ }^{\circ}\text{C}$ для рекристаллизации механически нарушенного слоя на рабочей поверхности кремниевой пластины уменьшает величину фиксированного заряда в подзатворном диэлектрике. Это обеспечивает улучшение подпороговых и выходных характеристик n - и p -канальных транзисторов, а также зависимости тока стока этих транзисторов от подаваемого на сток напряжения при нулевом напряжении на затворе. Перечисленное позволяет повысить качество выпускаемых комплементарных металл-окисел-полупроводниковых микросхем и тем самым увеличить процент выхода годных изделий с $74,38$ до $77,53\text{ }\%$.

Список литературы

1. Технология СБИС. В 2 т. / Под ред. С. М. Зи. М.: Мир, 1986. Т. 1.
2. Красников, Г. Я. Физико-технологические основы обеспечения качества СБИС. Ч. 2 / Г. Я. Красников, Н. А. Зайцев. М.: Микрон-принт, 1999.
3. Базовые технологические процессы изготовления полупроводниковых приборов и интегральных микросхем на кремнии. В 3 т. / О. Ю. Наливайко [и др.]; под ред. А. С. Турцевича. Минск: Интеграл-полиграф, 2013. Т. 1.
4. Технология СБИС. В 2 т. / Под ред. С. М. Зи. М.: Мир, 1986. Т. 2.
5. Анищик, В. М. Влияние быстрой термической обработки исходных кремниевых пластин на процесс пирогенного окисления / В. М. Анищик [и др.] // Журнал Белорусского государственного университета. Физика. 2018. № 2. С. 81–85.
6. Influence of the Rapid Thermal Treatment of the Initial Silicon Wafers on the Electro-Physical Properties of Silicon Dioxide, Obtained with Pyrogenous Oxidation / V. Pilipenko [et al.] // High Temperature Material Processes. 2019. Vol. 23, No 4. P. 283–290.
7. Пилипенко, В. А. Механизм формирования фиксированного заряда в слое SiO₂, полученном термическим окислением кремния / В. А. Пилипенко, А. А. Омелченко // Доклады БГУИР. 2023. Т. 21, № 4. С. 28–32. <http://dx.doi.org/10.35596/1729-7648-2023-21-4-28-32>.
8. Твердофазная рекристаллизация механически нарушенного слоя кремния при быстрой термообработке / В. А. Пилипенко [и др.] // Доклады Национальной академии наук Беларуси. 2018. Т. 62, № 3. С. 347–352.
9. Recrystallization of Silicon During Rapid Thermal Treatment / V. Gorushko [et al.] // Przegląd Elektrotechniczny. 2018. Vol. 94, No 5. P. 196–198.
10. Спектральная эллипсометрия как метод изучения влияния быстрой термообработки кремниевых пластин на их оптические характеристики / В. А. Солодуха [и др.] // Приборы и методы измерений. 2022. Т. 13, № 3. С. 190–207.
11. Инновационные технологии и оборудование субмикронной электроники / А. П. Достанко [и др.]. Минск: Беларус. навука, 2020.
12. Александров, О. В. Модель образования фиксированного заряда в термическом диоксиде кремния / О. В. Александров, А. И. Дусь // Физика и техника полупроводников. 2011. Т. 45, вып. 4. С. 474–480.
13. Характеризация электрофизических свойств границы раздела кремний-диоксид кремния с использованием методов зондовой электрометрии / В. А. Пилипенко [и др.] // Приборы и методы измерений. 2017. Т. 8, № 4. С. 344–356.

References

1. Zee S. M. (ed.) (1986) *LSIIC Technology. In 2 Vol.* Moscow, Mir Publ. Vol. 1 (in Russian).
2. Krasnikov G. Y., Zaitsev N. A. (1999) *Physical and Technological Fundamentals of LSIIC Quality Management. Part 2.* Moscow, Micron-Print Publ. (in Russian).
3. Nalivaiko O. Yu., Solodukha V. A., Pilipenko V. A., Kolos V. V., Belous A. I., Chelyadinsky A. R., et al. (2013) *Basic Technological Processes for Production of Semiconductor Devices and Silicon Integrated Microcircuits. In 3 Vol.* Minsk, Integral-Poligraph, Publ. Vol. 1 (in Russian).
4. Zee S. M. (ed.) (1986) *LSIIC Technology. In 2 Vol.* Moscow, Mir Publ. Vol. 2 (in Russian).
5. Anishchik V. M., Gorushko V. A., Pilipenko V. A., Ponariadov V. V., Solodukha V. A. (2018) Impact Produced by Rapid Thermal Treatment on Source Silicon Wafers on the Process of Their Pyrogenic Oxidation. *Journal of Belarusian State University. Physics.* (2), 81–85 (in Russian).
6. Pilipenko V., Solodukha V., Zharin A., Gusev O., Vorobey R., Tyavlovsky A., et al. (2019) Influence of the Rapid Thermal Treatment of the Initial Silicon Wafers on the Electro-Physical Properties of Silicon Dioxide, Obtained with Pyrogenous Oxidation. *High Temperature Material Processes.* 23 (4), 283–290.
7. Pilipenko V. A., Omelchenko A. A. (2023) Mechanism of Fixed Charge Generation in SiO₂ Layer Obtained by Thermal Oxidation of Silicon. *Doklady BGUIR.* 21 (4), 28–32. <http://dx.doi.org/10.35596/1729-7648-2023-21-4-28-32> (in Russian).
8. Pilipenko V. A., Solodukha V. A., Gorushko V. A., Omelchenko A. A. (2018) Solid Phase Recrystallization of Mechanically Destroyed Silicon Layer at Rapid Thermal Treatment. *Reports at National Academy of Sciences of the Republic of Belarus.* 62 (3), 347–352 (in Russian).
9. Gorushko V., Omelchenko A., Pilipenko V., Solodukha V. (2018) Recrystallization of Silicon During Rapid Thermal Treatment. *Przegląd Elektrotechniczny.* 94 (5), 196–198.
10. Solodukha V. A., Pilipenko V. A., Omelchenko A. A., Shestovski D. V. (2022) Spectral Ellipsometry as a Method of Studying the Influence of Rapid Thermal Treatment of Silicon Wafers on Their Optical Properties. *Devices and Measurement Methods.* 13 (3), 190–207 (in Russian).

11. Dostanko A. P., Avakov S. M., Golosov D. A., Emelyanov V. V., Zavadsky S. M., Kolos V. V., et al. (2020) *Innovation Technologies and Equipment for Submicron Electronics*. Minsk, Belarussian Science Publ. (in Russian).
12. Aleksandrov O. V., Dus A. I. (2011) Model of Fixed Charge Formation in Thermal Si Dioxide. *Physics and Technology of Semiconductors*. 45 (4), 474–480 (in Russian).
13. Pilipenko V. A., Solodukha V. A., Filipenya V. A., Vorobey R. I., Gusev O. K., Zharin A. L., et al. (2017) Characterization of the Electrical Properties of the Silicon-Silicon Dioxide Interface Using Probe Electrometry Methods. *Instruments and Measurement Methods*. 8 (4), 344–356 (in Russian).

Вклад авторов / Authors' contribution

Авторы внесли равный вклад в написание статьи / The authors contributed equally to the writing of the article.

Сведения об авторах

Пилипенко В. А., чл.-корр. НАН Беларуси, д-р техн. наук, проф., зам. дир. по науч. развитию гос. центра «Белмикрoанализ», ОАО «ИНТЕГРАЛ» – управляющая компания холдинга «ИНТЕГРАЛ» (ОАО «ИНТЕГРАЛ»)

Солодуха В. А., д-р техн. наук, зав. центром микро- и радиоэлектроники ГНПО «Оптика, оптоэлектроника и лазерная техника» Национальной академии наук Беларуси

Сергейчик А. А., вед. инж. гос. центра «Белмикрoанализ», ОАО «ИНТЕГРАЛ»

Шестовский Д. В., вед. инж.-техн. отдела перспективных технологических процессов, ОАО «ИНТЕГРАЛ»

Адрес для корреспонденции

220108, Республика Беларусь,
г. Минск, ул. Казинца, 121а
ОАО «ИНТЕГРАЛ» –
управляющая компания холдинга «ИНТЕГРАЛ»
Тел.: +375 29 999-30-21
E-mail: anna.omelchenko.13177@mail.ru
Сергейчик Анна Александровна

Information about the authors

Pilipenka U. A., Corresponding Member of the National Academy of Sciences of Belarus, Dr. of Sci. (Tech.), Professor, Deputy Director for Scientific Development of the State Center “Belmicroanalysis”, JSC “INTEGRAL” – Manager Holding Company “INTEGRAL” (JSC “INTEGRAL”)

Saladukha V. A., Dr. of Sci. (Tech.), Head of the Center of Micro- and Radioelectronics at the SSPA “Optics, Optoelectronics, and Laser Technology” of the National Academy of Sciences

Siarheichyk H. A., Leading Engineer at the State Center “Belmicroanalysis”, JSC “INTEGRAL”

Shestouski D. U., Leading Engineer-Technologist at the Advanced Technological Processes Department, JSC “INTEGRAL”

Address for correspondence

220108, Republic of Belarus,
Minsk, Kazintsa St., 121a
JSC “INTEGRAL” –
Manager Holding Company “INTEGRAL”
Tel.: +375 29 999-30-21
E-mail: anna.omelchenko.13177@mail.ru
Siarheichyk Hanna Alyaksandrayna