



<http://dx.doi.org/10.35596/1729-7648-2021-19-7-5-12>

Оригинальная статья  
Original paper

УДК 621.382.322

## ЭКСПЕРИМЕНТАЛЬНЫЕ ИССЛЕДОВАНИЯ И МОДЕЛЬ ДВУХЗАТВОРНОГО JFET ДЛЯ АНАЛОГОВЫХ ИНТЕГРАЛЬНЫХ МИКРОСХЕМ

Я.Д. ГАЛКИН<sup>1,2</sup>, О.В. ДВОРНИКОВ<sup>3</sup>, В.А. ЧЕХОВСКИЙ<sup>2</sup>, Н.Н. ПРОКОПЕНКО<sup>4</sup>

<sup>1</sup>Белорусский государственный университет информатики и радиоэлектроники  
(г. Минск, Республика Беларусь)

<sup>2</sup>Институт ядерных проблем Белорусского государственного университета  
(г. Минск, Республика Беларусь)

<sup>3</sup>ОАО «Минский научно-исследовательский приборостроительный институт»  
(г. Минск Республика Беларусь)

<sup>4</sup>Донской государственный технический университет  
(г. Ростов-на-Дону, Россия)

Поступила в редакцию 24 мая 2021

© Белорусский государственный университет информатики и радиоэлектроники, 2021

**Аннотация.** Одним из направлений улучшения параметров аналоговых интегральных микросхем является разработка новых и модернизация существующих конструкций интегральных элементов без значительного изменения технологического маршрута изготовления интегральных микросхем с одновременным созданием моделей новых интегральных элементов. В статье рассмотрены результаты экспериментальных исследований двухзатворного полевого транзистора с управляющим  $p$ - $n$ -переходом, изготовленного по технологическому маршруту ЗСВіТ ОАО «Интеграл». На основе полученных результатов предложена электрическая модель двухзатворного полевого транзистора с управляющим  $p$ - $n$ -переходом, описывающая особенности его применения в аналоговых интегральных микросхемах. Приведено сравнение результатов измерений и моделирования вольтамперных характеристик с использованием созданной модели при разных режимах управления затворами. Малая емкость и обратный ток верхнего затвора двухзатворного полевого транзистора с управляющим  $p$ - $n$ -переходом, возможность компенсации постоянной составляющей входного тока обеспечивают значительное улучшение характеристик таких аналоговых интегральных микросхем, как электрометрические операционные усилители и зарядочувствительные усилители. Разработанный двухзатворный полевой транзистор с управляющим  $p$ - $n$ -переходом может найти применение в устройствах считывания сигналов, необходимых в аналоговых интерфейсах датчиков космического приборостроения и ядерной электроники.

**Ключевые слова:** полевой транзистор с управляющим  $p$ - $n$ -переходом, двухзатворный транзистор, электрометрический усилитель, зарядочувствительный усилитель, компенсация входного тока.

**Конфликт интересов.** Авторы заявляют об отсутствии конфликта интересов.

**Для цитирования.** Галкин Я.Д., Дворников О.В., Чеховский В.А., Прокопенко Н.Н. Экспериментальные исследования и модель двухзатворного JFET для аналоговых интегральных микросхем. Доклады БГУИР. 2021; 19(7): 5-12.

## EXPERIMENTAL STUDIES AND A DOUBLE GATE JFET MODEL FOR ANALOG INTEGRATED CIRCUITS

YAROSLAV D. GALKIN<sup>1,2</sup>, OLEG V. DVORNIKOV<sup>3</sup>, VLADIMIR A. TCHEKHOVSKI<sup>2</sup>,  
NIKOLAY N. PROKOPENKO<sup>4</sup>

<sup>1</sup>Belarusian State University of Informatics and Radioelectronics (Minsk, Republic of Belarus)

<sup>2</sup>Institute for Nuclear Problems of Belarusian State University (Minsk, Republic of Belarus)

<sup>3</sup>Minsk Research Instrument-Making Institute JSC (MNIPI JSC) (Minsk, Republic of Belarus)

<sup>4</sup>Don State Technical University (Rostov-on-Don, Russia)

Submitted 24 May 2021

© Belarusian State University of Informatics and Radioelectronics, 2021

**Abstract.** One of directions of improving parameters of analog integrated circuits is a development of new and modernization of existing designs of integrated elements without significantly changing of a technological route of integrated circuit manufacturing with a simultaneous creation of new integrated elements models. The article considers the results of experimental studies of the double gate junction field-effect transistor manufactured according to the 3CBiT technological route of JSC Integral. Based on the obtained results, the electrical model of double gate junction field-effect transistor is proposed, which describes the features of its application in analog integrated circuits. Comparison of  $I$ - $V$  characteristics of measurements results and created model simulation are presented. A small capacity and a reverse current of a double gate junction field-effect transistor top gate, an ability to compensate for the DC (direct current) component of an input current provide a significant improvement in the characteristics of analog integrated circuits such as electrometric operational amplifiers and charge-sensitive amplifiers. The developed double gate junction field-effect transistor can be used in signal readout devices required in the analog interfaces of space instrument sensors and nuclear electronics.

**Keywords:** junction field-effect transistor, double gate transistor, electrometric amplifier, charge-sensitive amplifier, input current compensation.

**Conflict of interests.** The authors declare no conflict of interests.

**For citation.** Galkin Y.D., Dvornikov O.V., Tchekhovski V.A., Prokopenko N.N. Experimental studies and a double gate JFET model for analog integrated circuits. Doklady BGUIR. 2021; 19(7): 5-12.

### Введение

Двухзатворные полевые транзисторы с управляющим  $p$ - $n$ -переходом (double gate junction field-effect transistor, DG JFET) – известный вид полупроводниковых приборов, в которых использование второго затвора позволяет получить дополнительные преимущества. Так, меньшая площадь  $p$ - $n$ -перехода и, следовательно, малая емкость и обратный ток верхнего затвора (top gate, TG) по сравнению с нижним затвором (bottom gate, BG) в интегральных DG JFET применяются в электрометрических операционных усилителях (ОУ) для обеспечения крайне малого входного тока на уровне десятков фемтоампер и большой полосы пропускания [1, 2]. Установка режима работы заданием напряжения на нижнем затворе, применение паразитного биполярного транзистора (bipolar junction transistor, BJT) между верхним и нижним затвором DG JFET неоднократно применялись для оптимизации параметров зарядочувствительных усилителей (ЗЧУ) [3–5].

Известно, что для JFET разработан ряд моделей, описывающих с достаточно высокой точностью вольтамперные характеристики (ВАХ) в разных режимах работы [6, 7]. Однако, несмотря на указанные факторы, применение DG JFET в аналоговых интегральных микросхемах (ИМС) затруднено, прежде всего, из-за отсутствия моделей, учитывающих особенности установки режима работы DG JFET, а именно: управление верхним затвором и задание постоянного напряжения на нижнем; использование паразитного BJT, в котором

эмиттером является нижний затвор, а коллектором – верхний затвор, для компенсации постоянного входного тока, протекающего в цепи верхнего затвора.

Целью настоящей статьи является рассмотрение результатов работ по обеспечению применения DG JFET в аналоговых ИМС: экспериментальному изучению особенностей их ВАХ и разработанной электрической модели DG JFET.

### Экспериментальное исследование ВАХ двухзатворного JFET

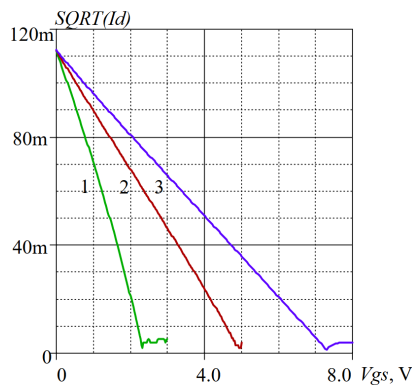
Изучаемые DG JFET предназначены для применения в радиационно-стойком базовом матричном кристалле МН2ХА031, изготовленном по технологическому маршруту ЗСВt [8]. Конструктивными особенностями исследуемых DG JFET являются:

– центральное расположение области стока, окруженной со всех сторон областью верхнего затвора;

– глубина залегания (толщина) полупроводниковых областей  $p$ -канала,  $n$ -эпитаксиального слоя,  $n^+$ -скрытого слоя выбрана таким образом, чтобы при увеличении напряжения на обратно смещенном  $p$ - $n$ -переходе нижний затвор–канал область пространственного заряда этого перехода вначале распространялась в эпитаксиальный слой, а затем, дойдя до  $n^+$ -скрытого слоя, начинала распространяться в  $p$ -канал.

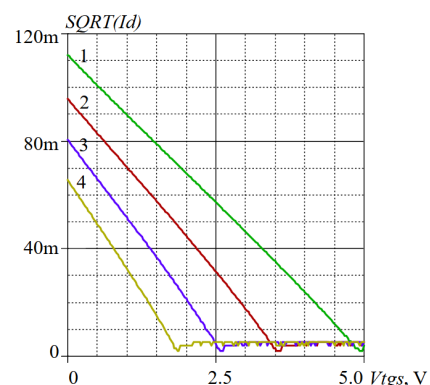
Таким образом, в описанной конструкции JFET уменьшается напряжение отсечки нижнего затвора, что очень важно для аналоговых ИМС с малым напряжением питания.

Основные результаты измерений зависимости тока стока  $I_D$  и крутизны  $g_M$  ( $g_M = \Delta I_D / \Delta V_{GS}$ ) от напряжения затвор–исток  $V_{GS}$  экспериментальных образцов DG JFET, выполненных измерителем параметров полупроводниковых приборов ИППП-1 и обработанных графическим постпроцессором, показаны на рис. 1–4 при различном соединении затворов и фиксированном напряжении на  $p$ - $n$ -переходах верхний затвор–исток  $V_{TGS}$  или нижний затвор–исток  $V_{BGS}$ .



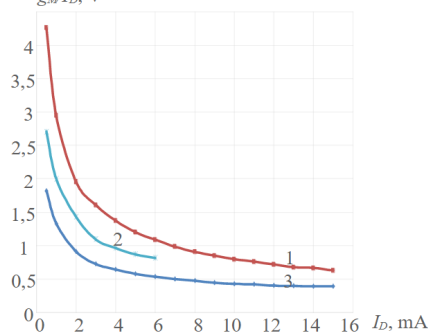
**Рис. 1.** Зависимость  $\sqrt{I_D}$  от  $V_{GS}$ : 1 – с соединенными затворами; 2 – управление верхним затвором и  $V_{BGS} = 0$  В; 3 – управление нижним затвором и  $V_{TGS} = 0$  В

**Fig. 1.**  $\sqrt{I_D}$ - $V_{GS}$  characteristics: 1 – connected gates; 2 – top gate controlling and  $V_{BGS} = 0$  V; 3 – bottom gate controlling and  $V_{TGS} = 0$  V



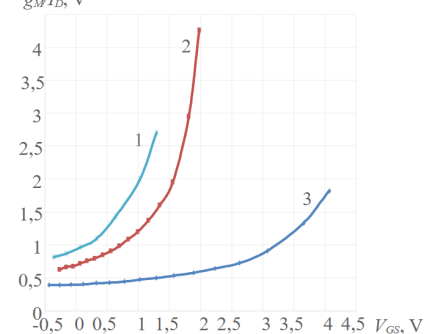
**Рис. 2.** Зависимость  $\sqrt{I_D}$  от  $V_{TGS}$ : 1 –  $V_{BGS} = 0$  В; 2 –  $V_{BGS} = 1$  В; 3 –  $V_{BGS} = 2$  В; 4 –  $V_{BGS} = 3$  В

**Fig. 2.**  $\sqrt{I_D}$ - $V_{GS}$  characteristics: 1 –  $V_{BGS} = 0$  V; 2 –  $V_{BGS} = 1$  V; 3 –  $V_{BGS} = 2$  V; 4 –  $V_{BGS} = 3$  V



**Рис. 3.** Зависимость  $g_M/I_D$  от  $I_D$ : 1 – с соединенными затворами; 2 –  $V_{BGS} = 3$  В; 3 –  $V_{BGS} = 0$  В

**Fig. 3.**  $g_M/I_D$ - $I_D$  characteristics: 1 – connected gates; 2 –  $V_{BGS} = 3$  V, 3 –  $V_{BGS} = 0$  V



**Рис. 4.** Зависимость  $g_M/I_D$  от  $V_{GS}$ : 1 –  $V_{BGS} = 3$  В; 2 – с соединенными затворами; 3 –  $V_{BGS} = 0$  В

**Fig. 4.**  $g_M/I_D$ - $V_{GS}$  characteristics: 1 –  $V_{BGS} = 3$  V; 2 – connected gates; 3 –  $V_{BGS} = 0$  V

Анализ результатов измерений позволяет сделать следующие выводы.

1. Как следует из модели Шихмана – Ходжеса для  $p$ -JFET при напряжении между истоком и стоком  $V_{SD}$ , превышающим напряжение отсечки  $V_{TH}$ , т. е. при  $V_{SD} > V_{TH}$ , зависимость  $\sqrt{I_D}$  от  $V_{GS}$  должна представлять собой прямую линию, пересекающую ось абсцисс при напряжении  $V_{GS} = V_{TH}$ . Однако на экспериментальных графиках, показанных на рис. 1, наблюдается различный наклон кривых  $\sqrt{I_D}$  от  $V_{GS}$ , который в области больших токов стока обусловлен влиянием сопротивления полупроводниковой области истока, а в области малых токов – отливом ВАХ в подпороговой области. Таким образом, модель Шихмана – Ходжеса недостаточно точно описывает ВАХ изучаемого DG JFET в широком диапазоне токов стока, и идентификацию напряжения отсечки рекомендуется выполнять по результатам измерений в области средних токов стока в соответствии с методикой, приведенной в [8].

2. Для изучаемого DG JFET  $V_{THBG0}/V_{THTG0} = 1,474$  (где  $V_{THBG0}$  – напряжение отсечки при управлении нижним затвором и  $V_{TGS} = 0$  В,  $V_{THTG0}$  – напряжение отсечки при управлении верхним затвором и  $V_{BGS} = 0$  В), в то время как для известных конструкций это отношение составляет 4,14 [2], что подтверждает правильность использованных конструктивных особенностей по увеличению эффективности управления током стока напряжением нижнего затвора.

3. Величина напряжения отсечки при управлении верхним затвором  $V_{THTG}$  почти линейно зависит от  $V_{BGS}$  (рис. 2).

4. В ряде аналоговых схем выбор режима работы JFET осуществляют с учетом отношения крутизны  $g_M = \frac{dI_D}{dV_{GS}}$  к току стока  $I_D$  [9]:

$$\left| \frac{g_M}{I_D} \right| \approx 2 \sqrt{\frac{BETA}{I_D}}, \quad (1)$$

$$\left| \frac{g_M}{I_D} \right| \approx \frac{2}{V_{TH} - V_{GS}}, \quad (2)$$

где  $BETA$  – параметр модели Шихмана – Ходжеса (удельная крутизна).

Экспериментальные кривые (рис. 3, 4) качественно совпадают с (1), (2) и позволяют сформулировать следующие рекомендации:

– наилучшим режимом работы JFET, обеспечивающим максимальное усиление напряжения при минимальном токе потребления за счет большой величины  $g_M/I_D$ , является режим работы при напряжении затвор–исток вблизи напряжения отсечки;

– реализация указанного режима дополнительно обеспечивает температурную стабильность рабочей точки, достигаемую обычно при  $|V_{GS}| = |V_{TH}| - 0,66$  В [10], но уменьшает допустимый диапазон рабочего напряжения за счет относительно большого падения напряжения на обратносмещенном переходе затвор–исток;

– наиболее целесообразно применение DG JFET при постоянном обратном напряжении на нижнем затворе, что одновременно обеспечивает высокое отношение  $g_M/I_D$  и большой допустимый диапазон рабочего напряжения;

– соединение со входом аналоговой ИМС только верхнего затвора позволяет существенно уменьшить входной ток. Это преимущество DG JFET особенно важно для радиационно-стойких аналоговых ИМС, у которых радиационное изменение  $g_M$ ,  $I_D$ ,  $V_{TH}$  обычно невелико и основным фактором, ограничивающим допустимый уровень воздействия проникающей радиации, является увеличение обратного тока затвора.

### Электрическая модель

Разработанная эквивалентная электрическая микросхема DG  $p$ -JFET для программного обеспечения LTSpice приведена на рис. 5, а на рис. 6 – предлагаемое условное графическое обозначение и схема включения DG  $p$ -JFET при моделировании ВАХ.

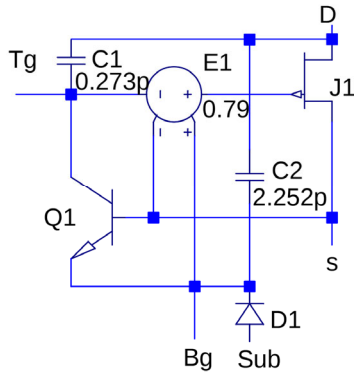


Рис. 5. Эквивалентная электрическая схема DG *p*-JFET в LTSpice

Fig. 5. Equivalent electrical circuit DG *p*-JFET in LTSpice

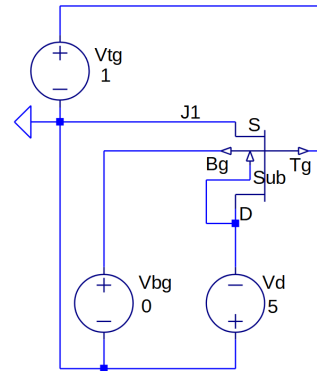


Рис. 6. Схема включения DG *p*-JFET при моделировании его ВАХ

Fig. 6. Connection circuit of DG *p*-JFET in *I-V* characteristics simulations

Как указывалось ранее, в некоторых схемотехнических решениях применяется транзисторное взаимодействие между затворами в DG JFET, для получения которого *p-n*-переход нижний затвор–исток смещается в прямом направлении, а верхний затвор–исток – в обратном, что аналогично схеме ВJT с общей базой с использованием истока как базы, нижнего затвора – как эмиттера, а верхнего – как коллектора. Этот ВJT учтен на эквивалентной схеме введением *n-p-n*-транзистора Q1, Spice-параметры которого определены из его измерений с помощью методик, описанных в [8].

Параметры J1, описывающие ВАХ, идентифицированы для встроенной в LTSpice модели Шихмана – Ходжеса по известным методикам [8] при управлении верхним затвором и  $V_{BGS} = 0$  В.

Влияние нижнего затвора на ВАХ учитывает источник напряжения E1, управляемый напряжением между истоком и нижним затвором  $V_{BGS}$ . Коэффициент передачи напряжения  $V_{BGS}$  в выходное напряжение источника E1 составляет 0,79 В.

Применение E1 основано на результатах следующего анализа.

В соответствии с моделью Шихмана – Ходжеса для области насыщения ВАХ *p*-JFET, т. е. при  $V_{SD} \geq V_{TH} - V_{GS}$ ,  $V_{GS} < V_{TH}$ , справедливо [9]

$$I_D \approx BETA \cdot V_{TH}^2 \left( 1 - \frac{V_{GS}}{V_{TH}} \right)^2 \quad (3)$$

Величина  $BETA \cdot V_{TH}^2$  представляет собой ток стока при  $V_{GS} = 0$  В,  $V_{SD} = V_{TH}$  и, как видно из рис. 1, одинакова при различном управлении DG JFET: соединенными затворами, верхним затвором и  $V_{BGS} = 0$  В, нижним затвором и  $V_{TGS} = 0$  В. Как следует из (3), одинаковый ток стока DG JFET при управлении верхним (при  $V_{BGS} = 0$  В) или нижним (при  $V_{TGS} = 0$  В) затвором обеспечивается в том случае, когда напряжения на соответствующих переходах затвор–исток удовлетворяют условию

$$\frac{V_{TGS}}{V_{BGS}} = \frac{V_{THG0}}{V_{THBG0}}. \quad (4)$$

Отношение (4) применено для перерасчета влияния  $V_{BGS}$  на ток стока через эквивалентное изменение  $V_{TGS}$  с помощью источника E1. В соответствии с результатами измерений  $V_{THG0}/V_{THBG0} = 0,68$ . Как отмечалось, модель Шихмана – Ходжеса недостаточно точно описывает ВАХ изучаемого DG JFET в широком диапазоне токов стока, поэтому для лучшего совпадения результатов измерений и моделирования в широком диапазоне токов стока коэффициент передачи был выбран 0,79.

Заметим, что частотные характеристики DG JFET учтены следующим образом:

– емкость *p-n*-перехода исток–нижний затвор при обратном и прямом смещении описывает барьерная и диффузионная емкость эмиттерного перехода Q1 с помощью Spice-параметров *cje*, *mje*, *vje*, *tf* [8];

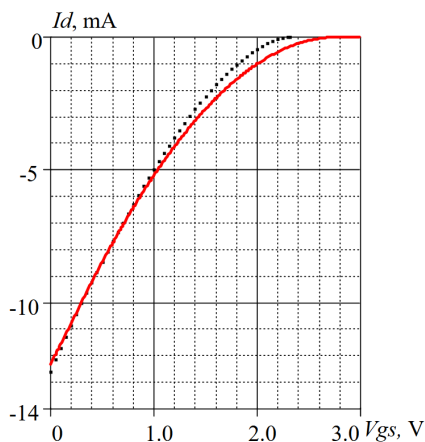
– емкость  $p$ - $n$ -перехода исток–верхний затвор при обратном и прямом смещении описывает барьерная и диффузионная емкость коллекторного перехода Q1 с помощью Spice-параметров  $cjc$ ,  $mjc$ ,  $vjc$ ,  $tr$ ;

– емкость  $p$ - $n$ -перехода сток–верхний затвор описывает C1, емкость  $p$ - $n$ -перехода сток–нижний затвор – C2, емкость  $p$ - $n$ -перехода подложка–нижний затвор – диод D1;

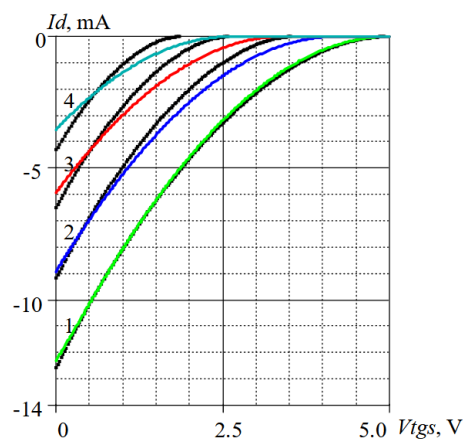
– некоторые параметры модели Шихмана – Ходжеса для J1 выбраны пренебрежимо малыми, т. е.  $cgd = 1 f$ ,  $cgs = 1 f$ .

Таким образом, влияние встроенных в модель транзистора J1 емкостей исключено, а частотные характеристики описываются другими элементами эквивалентной схемы DG JFET. Последнее объясняется тем, что введение дополнительного источника E1 приводит к разному напряжению на выводах J1 и DG JFET и не адекватному описанию CV-зависимостей во встроенной модели J1.

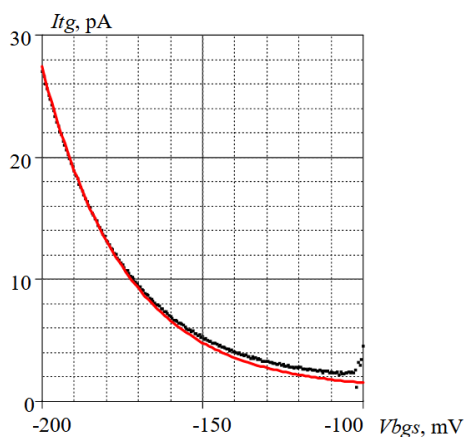
Разработанная эквивалентная электрическая схема удовлетворительно описывает ВАХ DG JFET в наиболее используемых режимах работы и характеристики паразитного ВТТ, что подтверждает совпадение результатов измерений и моделирования на рис. 7–10.



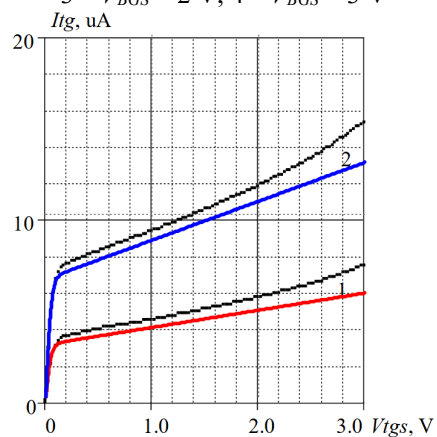
**Рис. 7.** Результаты измерений (точки) и моделирования (сплошная линия) ВАХ DG  $p$ -JFET при управлении соединенными затворами  
**Fig. 7.** Results of measurements (dots) and simulations (solid line) of  $I$ - $V$  characteristics DG  $p$ -JFET when connected gates are controlled



**Рис. 8.** Результаты измерений (точки) и моделирования (сплошная линия) ВАХ DG  $p$ -JFET при управлении верхним затвором: 1 –  $V_{BGS} = 0$  В; 2 –  $V_{BGS} = 1$  В; 3 –  $V_{BGS} = 2$  В; 4 –  $V_{BGS} = 3$  В  
**Fig. 8.** Results of measurements (dots) and simulations (solid line) of  $I$ - $V$  characteristics DG  $p$ -JFET when top gate is controlled: 1 –  $V_{BGS} = 0$  V; 2 –  $V_{BGS} = 1$  V; 3 –  $V_{BGS} = 2$  V; 4 –  $V_{BGS} = 3$  V



**Рис. 9.** Результаты измерений (точки) и моделирования (сплошная линия) тока  $I_{TG}$  от напряжения  $V_{BGS}$   
**Fig. 9.** Results of measurements (dots) and simulations (solid line) of  $I_{TG}$ - $V_{BGS}$  characteristics



**Рис. 10.** Результаты измерений (точки) и моделирования (сплошная линия) тока  $I_{TG}$  от напряжения  $V_{TGS}$  при разном токе  $I_{BG}$ : 1 –  $I_{BG} = 0,1$  мкА; 2 –  $I_{BG} = 0,2$  мкА  
**Fig. 10.** Results of measurements (dots) and simulations (solid line) of  $I_{TG}$ - $V_{TGS}$  characteristics when  $I_{BG}$  is different: 1 –  $I_{BG} = 0,1$  uA; 2 –  $I_{BG} = 0,2$  uA

### Заключение

Экспериментальное изучение ВАХ двухзатворного JFET, изготовленного по технологическому маршруту ЗСВіТ ОАО «Интеграл», позволило установить:

- отклонение зависимости  $I_D(V_{GS})$  от модели Шихмана – Ходжеса в области больших и малых токов при любом режиме управления: соединенными затворами, отдельно верхним или нижним затвором;
- повышенную по сравнению с известными конструкциями двухзатворных JFET эффективность управления током стока напряжением нижнего затвора;
- почти линейную зависимость напряжения отсечки при управлении верхним затвором от напряжения нижний затвор–исток.

На основе полученных результатов создана электрическая модель, описывающая особенности применения двухзатворного JFET в аналоговых микросхемах: управление соединенными затворами, управление верхним затвором с заданием постоянного напряжения на нижнем, использование паразитного биполярного транзистора между верхним и нижним затворами.

Наиболее целесообразно применение двухзатворных JFET в тех аналоговых ИМС, основные параметры которых зависят от величины входной емкости и входного тока.

### Список литературы

1. Close J.P., Counts L.W. A 50-fA junction-isolated operational amplifier. *IEEE Journal of Solid – State Circuits*. 1988; 23(3):843-851. DOI: 10.1109/4.328.
2. Nanver L.K. and Goudena E.J.G. Design considerations for integrated high-frequency p-channel JFETs. *IEEE Transactions on Electron Devices*. 1988;35(11):1924-1934. DOI: 10.1109/16.7406.
3. Fazzi A., Rehak P. «Gate-to-gate» BJT obtained from the double-gate input JFET to reset charge preamplifiers. *Nuclear Instruments and Methods in Physics Research*. 1996;A377:453-458. DOI: [https://doi.org/10.1016/0168-9002\(96\)00238-0](https://doi.org/10.1016/0168-9002(96)00238-0).
4. Fazzi A., Rehak P. A double-gate double-feedback JFET charge-sensitive preamplifier. *Nuclear Instruments and Methods in Physics Research*. 1996;A380(1-2):346-349. DOI: [https://doi.org/10.1016/S0168-9002\(96\)00355-5](https://doi.org/10.1016/S0168-9002(96)00355-5).
5. Baturitsky M.A., Dvornikov O.V. The double-gate p-JFET-inputted amplifier for low-capacitance detectors. *Nuclear Instruments and Methods in Physics Research*. 1998;419(1):99-104. DOI: [https://doi.org/10.1016/S0168-9002\(98\)00900-0](https://doi.org/10.1016/S0168-9002(98)00900-0).
6. Makris N., Bucher M., Jazaeri F., Sallese J. A Compact Model for Static and Dynamic Operation of Symmetric Double-Gate Junction FETs. *2018 48th European Solid-State Device Research Conference (ESSDERC)*. 2018;238-241. DOI: 10.1109/essderc.2018.8486848.
7. Petrosyants K.O., Ismail-Zade M.R., Sambursky L. Compact Si JFET model for cryogenic temperature. *Cryogenics*. 2020; 108:1-6. DOI: <https://doi.org/10.1016/j.cryogenics.2020.103069>.
8. Прокопенко Н.Н., Дворников О.В., Бугакова А.В. *Проектирование низкотемпературных и радиационно-стойких аналоговых микросхем для обработки сигналов датчиков*. Москва: СОЛОН-Пресс; 2021.
9. Абрамов И.И., Дворников О.В. *Проектирование аналоговых микросхем для прецизионных измерительных систем*. Минск: Академия управления при Президенте Республики Беларусь; 2006.
10. Достал И. *Операционные усилители*. Москва: Мир; 1982.

### References

1. Close J.P., Counts L.W. A 50-fA junction-isolated operational amplifier. *IEEE Journal of Solid – State Circuits*. 1988; 23(3):843-851. DOI: 10.1109/4.328.
2. Nanver L.K. and Goudena E.J.G. Design considerations for integrated high-frequency p-channel JFETs. *IEEE Transactions on Electron Devices*. 1988;35(11):1924-1934. DOI: 10.1109/16.7406.
3. Fazzi A., Rehak P. «Gate-to-gate» BJT obtained from the double-gate input JFET to reset charge preamplifiers. *Nuclear Instruments and Methods in Physics Research*. 1996; A377:453-458. DOI: [https://doi.org/10.1016/0168-9002\(96\)00238-0](https://doi.org/10.1016/0168-9002(96)00238-0).
4. Fazzi A., Rehak P. A double-gate double-feedback JFET charge-sensitive preamplifier. *Nuclear Instruments and Methods in Physics Research*. 1996;A380(1-2):346-349. DOI: [https://doi.org/10.1016/S0168-9002\(96\)00355-5](https://doi.org/10.1016/S0168-9002(96)00355-5).
5. Baturitsky M.A., Dvornikov O.V. The double-gate p-JFET-inputted amplifier for low-capacitance detectors. *Nuclear Instruments and Methods in Physics Research*. 1998;419(1):99-104. DOI: [https://doi.org/10.1016/S0168-9002\(98\)00900-0](https://doi.org/10.1016/S0168-9002(98)00900-0).

6. Makris N., Bucher M., Jazaeri F., Sallese J. A Compact Model for Static and Dynamic Operation of Symmetric Double-Gate Junction FETs. *2018 48th European Solid-State Device Research Conference (ESSDERC)*. 2018;238-241. DOI: 10.1109/essderc.2018.8486848.
7. Petrosyants K.O., Ismail-Zade M.R., Sambursky L. Compact Si JFET model for cryogenic temperature. *Cryogenics*. 2020; 108:1-6. DOI: <https://doi.org/10.1016/j.cryogenics.2020.103069>.
8. Prokopenko N.N., Dvornikov O.V., Bugakova A.V. [*Low temperature and radiation hardened analog integrated circuit design for sensors signal processing*]. Moscow: SOLON-PRESS; 2021.
9. Abramov I.I. Dvornikov O.V. [*Analog integrated circuit design for precision measurement systems*]. Minsk: Akademiya upravleniya pri Prezidente Respubliki Belarus'; 2006. (In Russ.).
10. Dostal I. [*Operational amplifiers*]. Moscow: Mir; 1982. (In Russ.).

### Вклад авторов

Галкин Я.Д. разработал модель двухзатворного транзистора, выполнил измерения ВАХ двухзатворных транзисторов и анализ полученных результатов.

Дворников О.В. выполнил анализ современного состояния проблемы по теме работы, сформулировал цель и задачи исследований, провел идентификацию параметров моделей.

Чеховский В.А. участвовал в разработке методик и измерениях параметров двухзатворных транзисторов.

Прокопенко Н.Н. участвовал в идентификации параметров моделей.

### Authors' contribution

Galkin Y.D. has designed the DG JFET model, carried out  $I$ - $V$  measurements of DG JFET and analysed the obtained results.

Dvornikov O.V. has analyzed the current state of the problem, formulated the goals and objectives of the work, has performed the identification of model parameters.

Tchekhovski V.A. has taken part in design of methods and parameters measurements of DG JFET.

Prokopenko N.N. has taken part in the identification of model parameters.

### Сведения об авторах

Галкин Я.Д., аспирант Белорусского государственного университета информатики и радиоэлектроники, младший научный сотрудник лаборатории электронных методов и средств эксперимента НИУ «Институт ядерных проблем» Белорусского государственного университета.

Дворников О.В., д.т.н., доцент, главный научный сотрудник ОАО «Минский научно-исследовательский приборостроительный институт».

Чеховский В.А., заведующий лабораторией электронных методов и средств эксперимента НИУ «Институт ядерных проблем» Белорусского государственного университета.

Прокопенко Н.Н., д.т.н., профессор, заведующий кафедрой информационных систем и радиотехники Донского государственного технического университета.

### Адрес для корреспонденции

220013, Республика Беларусь,  
г. Минск, ул. П. Бровки, 6,  
Белорусский государственный университет  
информатики и радиоэлектроники;  
тел. +375-257-250-775;  
e-mail: [galkinyaroslav@gmail.com](mailto:galkinyaroslav@gmail.com)  
Галкин Ярослав Денисович

### Information about the authors

Galkin Y.D., Postgraduate student at the Belarusian State University of Informatics and Radioelectronics, Junior Researcher at the Electronic Methods and Experiment Means Laboratory of Research Institute for Nuclear Problems of Belarusian State University.

Dvornikov O.V., D.Sc., Associate Professor, Main Researcher of Minsk Research Instrument-Making Institute JSC (MNIPI JSC).

Tchekhovski V.A., Laboratory Manager of the Electronic Methods and Experiment Means Laboratory of Research Institute for Nuclear Problems of Belarusian State University.

Prokopenko N.N., D.Sc., Professor, Head of the Information Systems and Radioelectronics Department of Don State Technical University.

### Address for correspondence

220013, Republic of Belarus,  
Minsk, P. Brovki str., 6,  
Belarusian State University  
of Informatics and Radioelectronics;  
tel. +375-257-250-775;  
e-mail: [galkinyaroslav@gmail.com](mailto:galkinyaroslav@gmail.com)  
Galkin Yaroslav Denisovich