

УДК 621.382–044.952

ЭКСПЕРИМЕНТАЛЬНОЕ ИССЛЕДОВАНИЕ ДЕГРАДАЦИИ ИЗДЕЛИЙ ЭЛЕКТРОННОЙ ТЕХНИКИ

С.М. БОРОВИКОВ¹, Е.Н. ШНЕЙДЕРОВ¹, В.И. ПЛЕБАНОВИЧ²,
А.И. БЕРЕСНЕВИЧ¹, И.А. БУРАК¹

¹Белорусский государственный университет информатики и радиоэлектроники, Республика Беларусь

²ОАО «КБТЭМ–ОМО», Республика Беларусь

Поступила в редакцию 24 января 2017

Аннотация. С помощью ускоренных испытаний получены экспериментальные данные о деградации функциональных параметров трех типов транзисторов большой мощности как представителей изделий электронной техники. По экспериментальным данным построены гистограммы распределения параметров. Установлено, что нормальный закон распределения с течением наработки деформируется и для выборок изделий плохо описывает деградацию параметров. Результаты деградации функциональных параметров использованы для решения задач группового и индивидуального прогнозирования надежности транзисторов с учетом постепенных отказов.

Ключевые слова: изделия электронной техники, транзистор, надежность, деградация параметров, ускоренное испытание.

Abstract. With the help of accelerated tests we have obtained experimental data about the degradation of the functional parameters of three types of high-power transistors as the representatives of electronic products. Histograms of parameters' distribution were constructed on the experimental data. It was found that the normal distribution law is deformed during the operation time and it poorly describe the parameters degradation for samples of products. The results of the degradation of the functional parameters are used for solving problems of group and individual forecasting of reliability of transistors taking into account the gradual failures.

Keywords: electronic product, transistor, reliability, degradation of parameters, accelerated test.

Doklady BGUIR. 2017, Vol. 104, No. 2, pp. 45-52

Experimental research of electronic products degradation

S.M. Borovikov, E.N. Shneiderov, V.I. Plebanovich, A.I. Berasnevich, I.A. Burak

Введение

По мере развития технологии изделий электронной техники (ИЭТ) причины возникновения внезапных отказов могут быть в значительной степени устранены. Постепенные отказы, отражающие внутренне присущие материалам ИЭТ свойства, в частности старение, в принципе исключить невозможно. Эти отказы определяют такое понятие как параметрическая надежность ИЭТ. При работе ИЭТ функциональный параметр (обозначим через y) изменяется, говорят, деградирует, и может рассматриваться как функция времени работы (наработки) t . Параметрическая надежность характеризует способность ИЭТ сохранять уровень функционального параметра $y(t)$ в пределах норм (от a до b), указанных в технической документации или установленных потребителем в течение заданной наработки t_3 при выбранных режимах и условиях работы. В качестве количественной меры уровня параметрической надежности выборки ИЭТ используют вероятность $P_n(t_3)$, определяемую как

$$P_n(t_3) = P\{a \leq y(t) \leq b, t \leq t_3\}, \quad (1)$$

где $P\{\dots\}$ – вероятность выполнения условия, указанного в фигурных скобках.

Известно, что постепенные отказы и, следовательно, параметрическую надежность ИЭТ можно прогнозировать [1, 2]. Для получения достоверного прогноза о постепенном отказе конкретного экземпляра или параметрической надежности выборки ИЭТ надо располагать количественной моделью деградации функционального параметра ИЭТ. В случае группового прогнозирования параметрической надежности с использованием выражения (1) в работах [2–4] в качестве такой модели принята условная (для интересующего временного сечения t_i) плотность распределения $w(y|t_i)$ функционального параметра $y(t)$. В случае индивидуального прогнозирования возможного постепенного отказа конкретного экземпляра ИЭТ также надо располагать моделью деградации функционального параметра в виде зависимости его среднего значения от наработки. Эта зависимость используется для получения функции пересчета заданной наработки на значение имитационного фактора: температуры, тока коллектора транзисторов или обратного напряжения, прикладываемого к коллекторному переходу [2].

Возникает вопрос, как в условиях практики можно быстро получить деградацию функционального параметра ИЭТ в зависимости от длительной наработки (времени работы с учетом электрического режима).

Теоретический анализ

Деградация функционального параметра – это его изменение при наработке, обычно сопровождающееся ухудшением параметра с точки зрения использования ИЭТ в составе электронной аппаратуры. Получить данные о деградации параметра ИЭТ за относительно короткое время можно в случае, если удастся реальную длительную наработку ИЭТ в обычных (нормальных) условиях заменить наработкой в измененном (сжатом) масштабе. А это, по сути, реализация физического моделирования для наработки [5].

Известно [2], что для физического моделирования деградации функционального параметра ИЭТ можно использовать ускоренные форсированные испытания, проводимые по типовым методикам. Эти испытания позволяют для каждого экземпляра исследуемой выборки получить экспериментальное изменение функционального параметра y в течение времени от $t = 0$ до t_k , где t_k – интересующая длительная наработка.

Ускорение испытаний может быть достигнуто форсированием режимов работы ИЭТ [2, 6]. Основными видами форсированных воздействий при испытаниях ИЭТ являются тепловая и электрическая нагрузки. Большинство отказов ИЭТ, связанных с ухудшением электрических параметров или пробоем, происходит именно при этих воздействиях.

Тепловая нагрузка представляет собой воздействие на ИЭТ повышенной температуры. Известно [2, 6], что она вызывает ускорение всех физико-химических процессов в структуре, которые приводят к деградации параметров и отказу ИЭТ. Физически ускорение процессов связано с повышением средней тепловой энергии взаимодействующих микрочастиц, что резко увеличивает вероятность преодоления ими энергетического барьера, ограждающего структуру ИЭТ от внешних дестабилизирующих факторов и препятствующих ее разрушению.

Коэффициент ускорения протекания процесса за счет воздействия на ИЭТ повышенной температуры (коэффициент ускорения испытаний $K_y^{(T)}$) определяется в соответствии с [2, 6] по формуле

$$K_y^{(T)} = \frac{t_n}{t_y} = \exp \left[\frac{E_a}{k} \left(\frac{1}{273 + T_n} - \frac{1}{273 + T_y} \right) \right], \quad (2)$$

где t_n , t_y продолжительность испытаний (наработка) при номинальной T_n и повышенной T_y температуре соответственно, в °С; E_a – энергия активации процесса деградации функционального параметра ИЭТ; k – постоянная Больцмана, $k = 8,617 \cdot 10^{-5}$ эВ/К (К – градус Кельвина).

Опасностью применения повышенных температурных нагрузок является нарушение автомодельности процессов, вызывающих отказы ИЭТ при проведении ускоренных

испытаний. Это означает, что деградация параметров и отказы ИЭТ могут вызываться причинами, которые при номинальной температуре T_n вообще не будут возникать.

Максимальная температура, при которой еще выполняется условие автомодельности, может быть найдена методами, описанными в [7]. Установлено, что до температуры $+160^\circ\text{C}$ у кремниевых полупроводниковых приборах как представителей ИЭТ остается неизменным преимущественный механизм деградации и отказов [2]. В качестве температуры T_y при ускоренных испытаниях исследуемых типов ИЭТ выбраны значения в диапазоне $+135\dots+160^\circ\text{C}$.

Для выбора режима и условий проведения ускоренных форсированных испытаний использованы известные подходы [2, 8]. Далее кратко поясняется их применение для транзисторов Дарлингтона типа КТ8225А.

Согласно [9], влияние электрической нагрузки (мощности, рассеиваемой на коллекторе) на деградацию и отказы биполярных транзисторов может рассматриваться как действие некоторой эквивалентной температуры, природа которой связана с нагревом кристалла при работе в определенном электрическом режиме. Разность ΔT между температурами кристалла T_k и окружающей среды T , обеспечивающая такое же действие, как и электрическая нагрузка (мощность, рассеиваемая на коллекторе), определяется по формуле

$$\Delta T = R_T K_n P_{\max}, \quad (3)$$

где R_T – тепловое сопротивление участка «кристалл–окружающая среда»; $K_n = P/P_{\max}$ – коэффициент электрической нагрузки (P – мощность в рабочем режиме); P_{\max} – максимально допустимая мощность, рассеиваемая коллектором (стоком) транзистора при температуре, равной значению температуры окружающей среды T .

При чисто тепловой нагрузке в качестве температуры окружающей среды следует рассматривать температуру корпуса транзистора, а в формуле (3) в качестве R_T использовать тепловое сопротивление кристалл–корпус.

Коэффициент ускорения $K_y^{(U)}$ за счет обратного напряжения, прикладываемого к коллектору (стоку) транзисторов, определяют по выражению [7]

$$K_y^{(U)} = \exp[\beta(U_y - U_n)], \quad (4)$$

где β – константа, для транзисторов $\beta = 0,02\dots0,05 \text{ В}^{-1}$; U_y – обратное напряжение при ускоренных испытаниях; U_n – обратное напряжение (напряжение питания) при работе транзистора в обычных (нормальных) условиях.

Общий коэффициент ускорения испытаний $K_y^{(T,U)}$ за счет использования повышенной температуры и прикладываемого к коллекторному переходу обратного напряжения определится как [2, 7]

$$K_y^{(T,U)} = K_y^{(T)} K_y^{(U)}, \quad (5)$$

где $K_y^{(T)}$ – определяемый по формуле (2) коэффициент ускорения наработки за счет действия повышенной температуры; $K_y^{(U)}$ – определяемый по формуле (4) коэффициент ускорения наработки за счет приложенного обратного напряжения к коллектору (истоку) транзистора.

Экспериментальные исследования

В качестве ИЭТ, на примере которых выполнялись ускоренные испытания с целью получения деградации параметров, были выбраны кремниевые эпитаксиально-планарные высоковольтные биполярные транзисторы типа КТ872А, кремниевые эпитаксиально-планарные составные транзисторы типа КТ8225А (с интегральными демпфирующим и ограничительным диодами) и кремниевые эпитаксиально-планарные полевые транзисторы типа КП723А с изолированным затвором, обогащением n -канала и встроенным обратно смещенным диодом.

В качестве нормального (номинального) режима работы транзисторов, относительно которого определялся коэффициент ускорения испытаний K_y , выбраны условия, обеспечивающие стабильное функционирование и достаточный уровень надежности (относительно предельно допустимых режимов) транзисторов при их работе в составе электронных устройств [10]:

– коэффициент нагрузки по мощности $K_n^{(P)} = 0,5$;

- коэффициент нагрузки по напряжению $K_n^{(U)} = 0,7$;
- температура окружающей среды (корпуса транзистора) $T_{cp} = +55 \text{ }^\circ\text{C}$.

Справочные значения параметров транзисторов, температура T_y и обратное напряжение U_y , используемые для проведения ускоренных испытаний, значения энергии активации E_a и величины β формулы (4), выбранные согласно рекомендациям работ [6, 8, 11] для расчета коэффициентов ускорения, а также условия и рассчитанное время проведения ускоренных испытаний указаны в табл. 1.

Таблица 1. Данные о транзисторах и условиях проведения ускоренных испытаний

Характеристика, параметр, величина	Тип транзистора		
	КТ872А	КТ8225А	КП723А
Характеристики и величины, выбранные из технической источников			
1. Максимальная мощность рассеивания коллектором (стоком) при $T \leq 25 \text{ }^\circ\text{C}$, P_{max} , Вт	100	155	150
2. Предельно допустимое напряжение коллектор–эмиттер (исток–сток) U_{max} , В	700	350	60
3. Тепловое сопротивление $R_{кр-корп}$, $^\circ\text{C}/\text{Вт}$	1,25	0,97	1,0
4. Среднее значение энергии активации E_a , эВ	0,7	0,7	0,8
5. Коэффициент β формулы (4), 1/В	0,022	0,022	0,05
6. Температура ускоренных испытаний T_y , $^\circ\text{C}$	140	140	150
7. Обратное напряжение U_y при ускоренных испытаниях, В	600	315	70
Расчетные величины			
8. Время ускоренных испытаний (при значении E_a), ч	216	1725	870
9. Значение P_{max} при $T = +55 \text{ }^\circ\text{C}$, Вт	78	123,7	120
10. Перегрев ΔT (в $^\circ\text{C}$), имитирующий мощность P_{max} при $T_{cp} = +55 \text{ }^\circ\text{C}$	47,5	60	60
11. Коэффициент ускорения испытаний за счет повышенной температуры, $K_y^{(T)}$	7,13	4,49	7,24
12. Коэффициент ускорения испытаний за счет обратного напряжения, $K_y^{(U)}$	11,25	4,66	4,06
13. Общий коэффициент ускорения, K_y	80,13	20,95	29,35
14. Нароботка, соответствующая обычным (нормальным) условиям, ч	17 280	36 140	25 530

Расчет коэффициентов ускорения испытаний выполнен по формулам (2), (4) и (5). Перегрев ΔT (в $^\circ\text{C}$), имитирующий мощность рассеивания P_{max} при коэффициенте нагрузки $K_n^{(P)} = 0,5$ и $T_{cp} = +55 \text{ }^\circ\text{C}$, получен по формуле (3). При использовании формулы (2) для расчета коэффициентов ускорения $K_y^{(T)}$ в качестве T_n принята величина $T_n = T_{cp} + \Delta T_j = +55 + \Delta T_j$, $^\circ\text{C}$, где ΔT_j – рассчитанный для транзистора j -го типа перегрев, имитирующий мощность рассеивания транзистора при $K_n = 0,5$ и $T_{cp} = +55 \text{ }^\circ\text{C}$.

Полученное значение температуры T_n для составных транзисторов Дарлингтона типа КТ872А составляет $T_n = T_{cp} + \Delta T_j = 55 + 60 = 115 \text{ }^\circ\text{C}$. Это значение T_n обеспечивает (без ускорения испытаний) номинальную температуру окружающей среды $T_{cp} = +55 \text{ }^\circ\text{C}$ и имитацию предельной мощности рассеивания P_{max} при $K_n = 0,5$ и $T_{cp} = +55 \text{ }^\circ\text{C}$. При наличии температурного воздействия $T_n > 115 \text{ }^\circ\text{C}$ имеет место эффект ускорения испытаний.

Параметры транзисторов, контролируемые в процессе проведения ускоренных испытаний, указаны в табл. 2.

Таблица 2. Параметры транзисторов, контролируемые в процессе испытаний

Контролируемый параметр	Обозначение	Тип транзистора		
		КТ872А	КТ8225А	КП723А
1. Статический коэффициент передачи тока базы в схеме с общим эмиттером	$h_{21Э}$	+	+	–
2. Напряжение насыщения коллектор-эмиттер	$U_{КЭнас}$	+	–	–
3. Сопротивление сток-исток в открытом состоянии	$R_{СИотк}$	–	–	+
4. Граничное напряжение коллектор-эмиттер	$U_{КЭгр}$	–	+	
5. Ток стока	I_c	–	–	+

В ячейках табл. 2 знаком «+» отмечены параметры, контролируемые для данного типа транзисторов.

Экспериментальная установка

В качестве основы созданной экспериментальной установки, используемой для проведения испытаний, выбрана нагревательная печь с возможностью обеспечения нагрева до

+200 °С с непрерывным поддержанием установленной температуры с погрешностью не более ± 2 °С. Кроме печи, установка включала следующие части: источник питания, вольтметр, амперметр, платы предохранителей, коммутационный термостойкий жгут, помехоподавляющие конденсаторы, платы с испытываемыми ИЭТ. Для каждого типа ИЭТ использовалась своя испытательная плата.

Схема электрическая принципиальная подключения ИЭТ к испытательной установке (на примере составных транзисторов Дарлингтона типа КТ8225А) показана на рис. 1, на которой заливкой выделены плата с исследуемыми транзисторами и плата предохранителей. Предохранители предназначены для защиты источника питания и обеспечения непрерывности испытания ИЭТ в случае внезапного отказа какого-либо экземпляра.

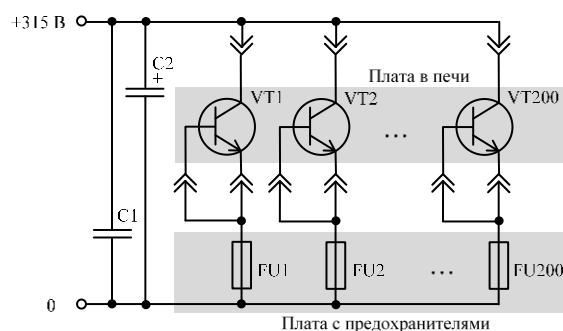


Рис. 1. Схема электрическая принципиальная подключения транзисторов для проведения испытаний на длительную наработку

При высокотемпературных испытаниях полупроводниковых приборов существует риск, что возникающие в элементах конструкции транзисторов высокочастотные (ВЧ) колебания могут вызвать локальный перегрев $p-n$ -переходов и, следовательно, внезапный отказ. С целью устранения ВЧ колебаний в электрическую цепь испытательной установки, согласно рекомендациям технической документации на транзисторы, были включены конденсаторы С1 и С2 (рис. 1).

Результаты и их обсуждение

В процессе ускоренных испытаний были получены данные о деградации (изменении) контролируемых параметров транзисторов от времени ускоренных испытаний. С учетом общего коэффициента ускорения испытаний K_y эти данные были пересчитаны на наработку для обычного (нормального) режима. В качестве иллюстрации на рис. 2 представлены данные о деградации функционального параметра $h_{21Э}$ транзисторов Дарлингтона типа КТ8225А.

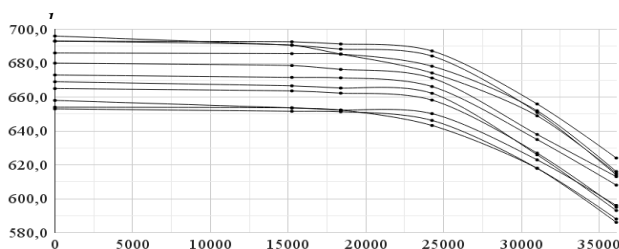


Рис. 2. Деградация функционального параметра $h_{21Э}$ (в качестве примера приводится информация о десяти экземплярах)

Используя результаты деградации функциональных параметров транзисторов для различных значений наработки (временных сечений) были построены гистограммы распределения и сделаны выводы о закономерностях изменения параметров при длительной наработке. В качестве примера и иллюстрации приводятся гистограммы распределения параметра $h_{21Э}$ составных транзисторов Дарлингтона (рис. 3).

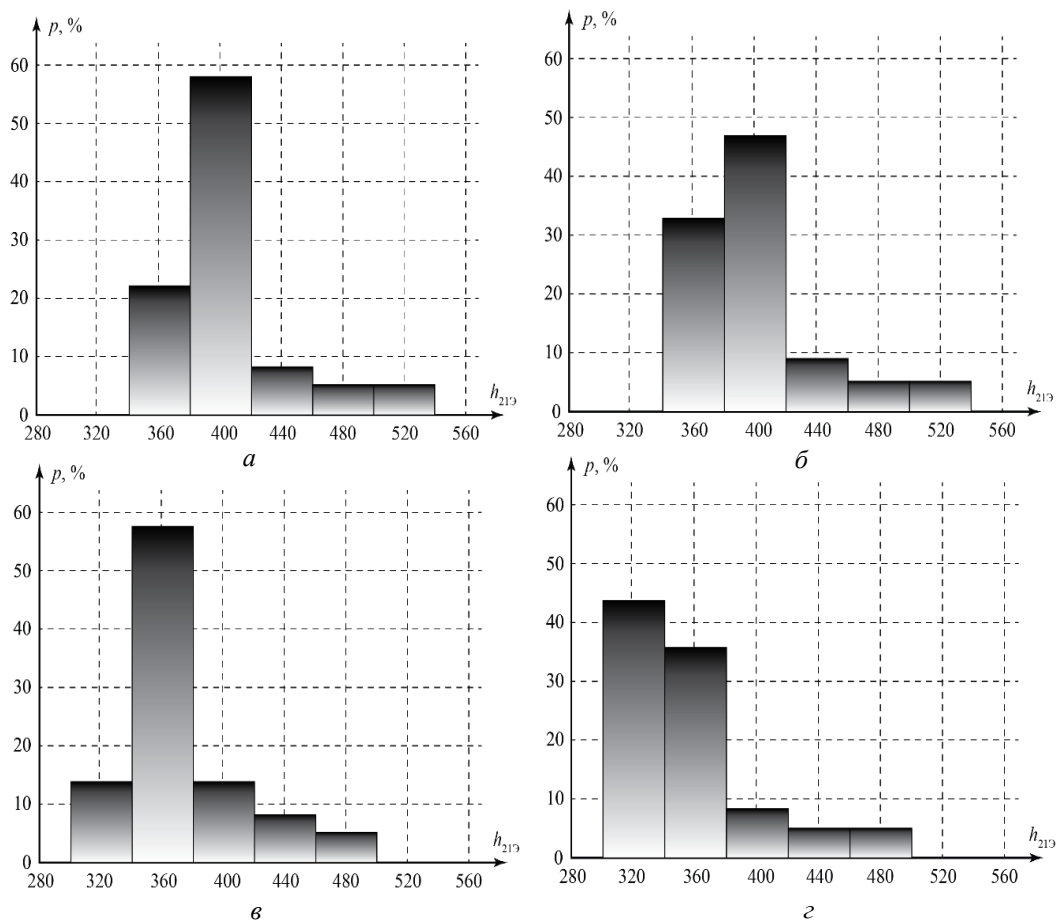


Рис. 3. Гистограммы распределения h_{213} транзисторов КТ8225А при наработке:
 $a - 0$; $б - 24250$ ч; $в - 31010$ ч; $г - 36140$ ч

На основе анализа построенных гистограмм распределения исследуемых параметров сделаны следующие выводы.

1. Для некоторых параметров ИЭТ в момент времени $t = 0$ нормальное распределение плохо описывает рассеивание параметра (пример – параметр $U_{КЭнас}$ транзисторов типа КТ872А). Объясняется это, скорее всего, производственными операциями отбора ИЭТ с учетом требований к значениям параметра, указанным в технической документации.

2. С течением наработки вид плотности распределения параметра деформируется, изменяются значения характеристик закона распределения относительно тех, которые имели место для начального момента времени ($t = 0$). Причем здесь возможны два случая:

– искажается (деформируется) нормальный закон распределения, неплохо описывающий изменение параметра в начальный момент времени ($t = 0$), причем в моменты времени $t \gg 0$ плотность распределения параметра заметно отличается от нормального; примером является параметр h_{213} транзисторов Дарлингтона типа КТ8225А (рис. 3);

– вид графика плотности распределения параметра для наработки $t \gg 0$ практически сохраняется, но заметно меняются характеристики закона распределения параметра; примером этого случая является параметр $U_{КЭнас}$ транзисторов типа КТ872А.

Результаты деградации и установленные закономерности функциональных параметров использованы для решения задач группового и индивидуального прогнозирования надежности транзисторов с учетом постепенных отказов по методикам, предложенным в [2–4].

Заключение

Получены экспериментальные данные о деградации функциональных параметров трех типов транзисторов большой мощности при их длительной наработке. Для параметров по экспериментальным данным построены гистограммы распределения, путем анализа которых установлено, что нормальный закон деформируется при наработке ИЭТ и плохо описывает

деградацию параметров для длительных наработок. Для некоторых параметров ИЭТ нормальный закон плохо описывает распределение параметра и в начальный момент времени, а с течением наработки вид закона распределения примерно сохраняется, но заметно изменяются его числовые характеристики. Установленные закономерности деградации параметров ИЭТ позволяют исследователям более обоснованно подходить к выбору математической модели деградации параметра в виде условного закона его распределения для длительных наработок при решении задач группового прогнозирования параметрической надежности новых выборок однотипных ИЭТ. Результаты деградации функциональных параметров использованы также для получения функции пересчета заданной наработки на значение имитационного фактора при решении задач индивидуального прогнозирования постепенных отказов исследуемого типа ИЭТ методом имитационных воздействий.

Список литературы

1. European Organization of the Quality Control Glossary. Bern: EOQC, 1988. 24 p.
2. Боровиков С.М. Статистическое прогнозирование для отбраковки потенциально ненадежных изделий электронной техники. М. : Новое знание, 2013. 343 с.
3. Физико-статистические модели деградации функциональных параметров изделий электронной техники / С.М. Боровиков [и др.]. // Докл. НАН Беларуси. 2007. Т. 51, № 6. С. 105–109.
4. Боровиков С.М., Шнейдеров Е.Н., Бурак И.А. Модели на основе распределения Вейбулла-Гнеденко для описания деградации функциональных параметров изделий электронной техники / Докл. НАН Беларуси. 2015. Т. 59. № 3. С. 109–115.
5. Боровиков С.М. Теоретические основы конструирования, технологии и надежности. Минск: Дизайн ПРО, 1998. 336 с.
6. Bipolar Power Transistor. Data Book 1998 / TEMIC Semiconductors GmbH. 1997. № 12. P. 35–42.
7. Livingston H. Guidelines for using plastic encapsulated microcircuits and semiconductors in military, aerospace and other rugged applications / G-12 Solid State Device Committee of the Government Electronics & Information Technology Association Sanders, a Lockheed Martin Co. 2000. 10 p.
8. Robinson L.E. Life expectancy in electronic components and 10th rule // Testing 1998. № 1. P. 16.
9. Веллик Л.Ф., Дегтяренко Л.В. Модель температурной зависимости интенсивности отказов полупроводниковых приборов // Электронная техника. Сер. 8. Управление качеством и стандартизация. 1976. Вып. 10(52). С. 65–69.
10. Улинич Р. Б. Практическое обеспечение надежности при проектировании. М.: Радио и связь, 1985. 112 с.
11. Quick Logic Reliability Report / pASIC, Vialink and Quick Logic Corp. Orleans, 1998. 21 p.

References

1. European Organization of the Quality Control Glossary. Bern: EOQC, 1988. 24 p.
2. Borovikov S.M. Statisticheskoye prognozirovaniye dlya otrakovki potentsialno nenadezhnykh izdeliy elektronnoy tekhniki. M.: Novoye znaniye, 2013. 343 s. (in Russ.)
3. Fiziko-statisticheskiye modeli degradatsii funktsionalnykh parametrov izdeliy elektronnoy tekhniki / S.M. Borovikov [i dr.]. // Dokl. NAN Belarusi. 2007. T. 51, № 6. S. 105–109. (in Russ.)
4. Borovikov S.M., Shneiderov E.N., Burak I.A. Modeli na osnove raspredeleniya Veybulla-Gnedenko dlya opisaniya degradatsii funktsionalnykh parametrov izdeliy elektronnoy tekhniki / Doklady NAN Belarusi. 2015. T. 59, № 3. S. 109–115. (in Russ.)
5. Borovikov S.M. Teoreticheskiye osnovy konstruirovaniya, tekhnologii i nadezhnosti. Mn.: Dizayn PRO, 1998. 336 s. (in Russ.)
6. Bipolar Power Transistor. Data Book 1998 / TEMIC Semiconductors GmbH. – DGT-005-1297, 1997. № 12. P. 35–42.
7. Livingston H. Guidelines for using plastic encapsulated microcircuits and semiconductors in military, aerospace and other rugged applications / G-12 Solid State Device Committee of the Government Electronics & Information Technology Association Sanders, a Lockheed Martin Co., 2000. 10 p.
8. Robinson L.E. Life expectancy in electronic components and 10th rule // Testing. 1998. №1. P. 16.
9. Vellik L.F., Degtyarenko L.V. Model temperaturnoy zavisimosti intensivnosti otkazov poluprovodnikovyykh priborov // Elektronnaya tekhnika. Ser. 8. Upravleniye kachestvom i standartizatsiya. 1976. Vyp. 10(52). S. 65–69. (in Russ.)
10. Ulinich R. B. Prakticheskoye obespecheniye nadezhnosti pri proyektirovani. M.: Radio i svyaz, 1985. 112 s. (in Russ.)
11. Quick Logic Reliability Report / pASIC, Vialink and Quick Logic Corp. Orleans, 1998. 21 p.

Сведения об авторах

Боровиков С.М., к.т.н., доцент кафедры проектирования информационно-компьютерных систем Белорусского государственного университета информатики и радиоэлектроники.

Шнейдеров Е. Н., м.т.н., старший преподаватель кафедры проектирования информационно-компьютерных систем Белорусского государственного университета информатики и радиоэлектроники.

Плебанович В.И., к.т.н., заместитель директора ОАО «КБТЭМ-ОМО», научно-производственный холдинг «Планар».

Берасневич А.И., м.т.н., старший преподаватель кафедры проектирования информационно-компьютерных систем Белорусского государственного университета информатики и радиоэлектроники.

Бурак И.А., м.т.н., ассистент кафедры проектирования информационно-компьютерных систем Белорусского государственного университета информатики и радиоэлектроники.

Адрес для корреспонденции

220013, Республика Беларусь,
г. Минск, ул. П. Бровки, д. 6,
Белорусский государственный университет
информатики и радиоэлектроники
тел. +375-17-293-88-38;
e-mail: bsm@bsuir.by
Боровиков Сергей Максимович

Information about the authors

Borovikov S.M., PhD, associate professor of information and computer systems design department of Belarusian state university of informatics and radioelectronics.

Shneiderov E.N., M. Sci., senior lecturer of information and computer systems design department of Belarusian state university of informatics and radioelectronics.

Plebanovich V.I., PhD, deputy director of «KBTEM-OMO» (Open Joint-stock Company).

Berasnevich A.I., M. Sci., Senior Lecturer of information and computer systems design department of Belarusian state university of informatics and radioelectronics.

Burak I.A., M. Sci., assistant of the department of information and computer systems design department of Belarusian state university of informatics and radioelectronics.

Address for correspondence

220013, Republic of Belarus,
Minsk, P. Brovka st., 6,
Belarusian state university of informatics and
radioelectronics
tel. +375-17-293-88-38;
e-mail: bsm@bsuir.by
Borovikov Sergei Maksimovich